

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2003110084  
PUBLICATION DATE : 11-04-03

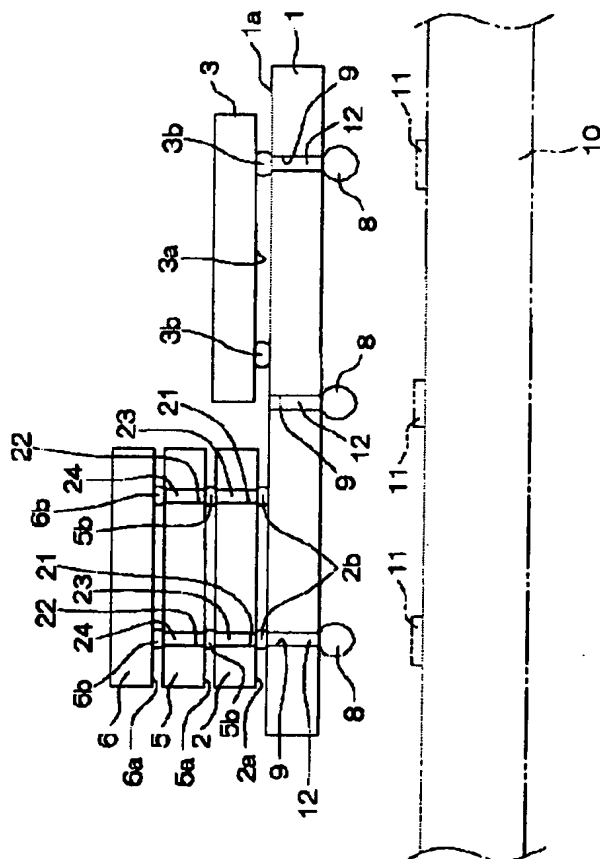
APPLICATION DATE : 28-09-01  
APPLICATION NUMBER : 2001302288

APPLICANT : ROHM CO LTD;

INVENTOR : SHIBATA KAZUTAKA;

INT.CL. : H01L 25/065 H01L 25/07 H01L 25/18

TITLE : SEMICONDUCTOR DEVICE



**ABSTRACT :** PROBLEM TO BE SOLVED: To provide a semiconductor device in which transmission rate of signal can be enhanced.

**SOLUTION:** A master chip 1 and slave chips 2 and 3 are flip-chip connected while facing the active face 1a with the active faces 2a and 3a. Wiring is formed on each active face 1a, 2a and 3a of the master chip 1 and slave chips 2, 3 by a semiconductor process. The master chip 1 is provided with a through hole 9 penetrating it in the thickness direction and filled with a conductor 12. A bump 8 is provided directly under the through hole 9 as a terminal for external connection. The wiring and the bump 8 on the active face 1a are connected electrically through the conductor 12.

COPYRIGHT: (C)2003,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-110084  
(P2003-110084A)

(43) 公開日 平成15年4月11日 (2003.4.11)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

データベース (参考)

H 0 1 L 25/065  
25/07  
25/18

H 0 1 L 25/08

B  
Z

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願2001-302288 (P2001-302288)

(22) 出願日 平成13年9月28日 (2001.9.28)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 柴田 和孝

京都市右京区西院清崎町21番地 ローム株式会社内

(74) 代理人 10008/701

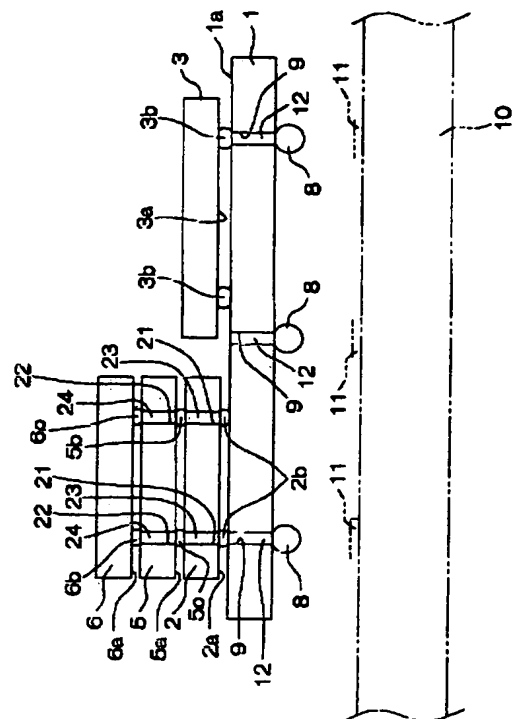
弁理士 稲岡 耕作 (外 2 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 信号の伝送速度を向上させることができる半導体装置を提供する。

【解決手段】 親チップ1と子チップ2、3とは、それぞれの活性面1aと活性面2a、3aとが対向されてフリップチップ接続されている。親チップ1および子チップ2、3のそれぞれの活性面1a、2a、3aには、機能素子および半導体プロセスによる配線が形成されている。親チップ1には、親チップ1を厚さ方向に貫通するスルーホール9が設けられている。スルーホール9の内部には、導電体12が充填されている。スルーホール9の直下には、外部接続用の端子としてのバンプ8が設けられている。活性面1a上の配線とバンプ8とは、導電体12により電氣的に接続されている。



## 【特許請求の範囲】

【請求項1】第1の半導体チップと、互いに横方向に配された第2の半導体チップおよび第3の半導体チップとを活性面を対向させて相互接続して構成される半導体装置であって、

上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ活性面に機能素子を備えており、

上記第1の半導体チップが、活性面に上記第2の半導体チップおよび上記第3の半導体チップを接続する配線を備えており、活性面とは反対側の面に外部接続用の端子を備えていることを特徴とする半導体装置。

【請求項2】上記第1の半導体チップが、活性面に機能素子を備えていることを特徴とする請求項1記載の半導体装置。

【請求項3】上記第1の半導体チップが、スルーホールを有することを特徴とする請求項1または2記載の半導体装置。

【請求項4】上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ内部の機能素子を相互に接続する配線を備えており、

上記第1の半導体チップの配線が、上記第2の半導体チップの配線および上記第3の半導体チップの配線より断面積が大きいことを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体チップの表面に他の半導体チップを重ね合わせて接続するチップオンチップ構造を有する半導体装置に関し、特に信号を高速伝送可能な半導体装置に関する。

## 【0002】

【従来の技術】信号伝送速度の向上を目的とした半導体装置として、マルチチップモジュールがある。マルチチップモジュールにおいては、1つのパッケージ内で配線基板上に複数の半導体チップが高密度に実装され、半導体チップを相互に接続する配線が短くされることにより、信号の高速伝送を図っている。配線基板上には、機能素子が形成された複数の半導体チップが実装されており、個々の半導体チップは、配線基板にフェイスダウン状態で接続（フリップチップ接続）されている。配線基板としては、通常、絶縁基板に多層配線が施されたものが用いられる。すなわち、配線基板は、表層の配線、内層各層の配線、および層間を接続する配線を含んで構成されている。

【0003】配線基板上に実装された半導体チップの上には、さらに他の半導体チップが積み重ねて配置されてチップオンチップ構造が形成される場合もある。このようなマルチチップモジュールにおいては、配線基板と半導体チップとの間、および配線基板における半導体チップ相互間の配線長を短くすることにより、各半導体チッ

プに形成された機能素子間の信号の高速伝送を実現しようとしている。また、配線基板の下面に設けたバンプなどを介して、他の配線基板などに接続可能なため、外部接続のための配線長も比較的短く、外部との信号の伝送も或る程度高速に行うことが可能である。

## 【0004】

【発明が解決しようとする課題】ところが、このようなマルチチップモジュールにおいて、配線基板の配線は、半導体プロセスによる配線に比して、配線幅や配線相互の間隔が広い。このため、配線基板上に半導体チップを相互に密に実装した場合でも、配線が相互に干渉しないように配置するためには、配線の層数を増やすなどの必要があり、結局配線長は長かった。そのため、信号の伝送速度を十分に高くすることができなかった。

【0005】また、半導体チップは絶縁基板を用いた配線基板を介して外部接続されるので、配線長の短縮には限界があり、外部接続における信号伝送速度を十分に高くすることができなかった。そこで、この発明の目的は、信号の伝送速度を向上させることができる半導体装置を提供することである。

## 【0006】

【課題を解決するための手段および発明の効果】上記の課題を解決するための請求項1記載の発明は、第1の半導体チップ（1）と、互いに横方向に配された第2の半導体チップ（2）および第3の半導体チップ（3、4）とを活性面（1a、2a、3a）を対向させて相互接続して構成される半導体装置であって、上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ活性面に機能素子（2c、3c）を備えており、上記第1の半導体チップが、活性面に上記第2の半導体チップおよび上記第3の半導体チップを接続する配線（L123）を備えており、活性面とは反対側の面に外部接続用の端子（8）を備えていることを特徴とする半導体装置である。

【0007】なお、括弧内の英数字は後述の実施形態における対応構成要素等を示す。以下、この項において同じ。第1の半導体チップの配線は、半導体プロセスにより形成されるものであり、配線幅や配線相互の間隔は、たとえば、1 $\mu$ m以下とすることができる。絶縁基板を用いた配線基板では、配線の幅や配線相互の間隔が数十 $\mu$ mないし数百 $\mu$ m程度であるので、これらに比べて半導体プロセスによる配線は、格段に微細である。これにより、第1の半導体チップの配線は、多層化した場合でも、長さを短くすることができる。したがって、第2の半導体チップと第3の半導体チップとを短い配線長で接続（内部接続）することができる。

【0008】また、第1の半導体チップは、活性面の反対側の面に外部接続用の端子を備えている。外部接続用の端子は、たとえば、半田ボール等で構成されたバンプとすることができる。この外部接続用の端子を用いて、

他の配線基板などに面実装することができる。したがって、半導体チップは、配線基板を介することなく、短い距離で外部接続されるので、この半導体装置の外部との信号伝送速度は大きい。

【0009】以上のように、このような半導体装置は、内部接続、外部接続ともに短い配線長で行うことができるので、信号の伝送速度を向上させることが可能である。第1の半導体チップには、第2の半導体チップおよび第3の半導体チップ以外に、さらに他の半導体チップが接続されていてもよい。また、第2または第3の半導体チップの上には、縦方向にさらに別の半導体チップが積み重ねられて接続されていてもよい。

【0010】第1ないし第3の半導体チップを同種の半導体材料（たとえば、シリコン）で構成することにより、これらの熱膨張係数を一致させることができるので、熱膨張／収縮の差により応力が生ずることを回避できる。請求項2記載の発明は、上記第1の半導体チップが、活性面に機能素子（1c）を備えていることを特徴とする請求項1記載の半導体装置である。第1の半導体チップに配線基板としての役割以外に、機能を持たせることにより、半導体装置内において、機能素子を有する半導体チップがより密に配された状態とすることができる。これにより、半導体装置の小型化や高機能化を実現することができる。

【0011】また、第1の半導体チップが機能素子を有することにより、機能素子は第1ないし第3の半導体チップに分散配置された状態となるので、平均的な配線長を短くすることができる。すなわち、第1の半導体チップには、第1の半導体チップ内の機能素子相互間や第1の半導体チップの機能素子と第2または第3の半導体チップの機能素子との間を接続するための配線も設けられている。これらの配線の大部分は、第2および第3の半導体チップの機能素子相互間を接続するための配線と比べて短い。

【0012】これにより、従来のマルチチップモジュールのように、互いに横方向に配された半導体チップの機能素子を接続する場合と比べて、全体として配線長は短くなる。このため、信号の伝送速度をさらに向上することができる。請求項3記載の発明は、上記第1の半導体チップが、スルーホール（9）を有することを特徴とする請求項1または2記載の半導体装置である。第1の半導体チップに設けられたスルーホールは、内部に導電体が配されたものとしてすることができる。この場合、スルーホール内の導電体を介して、活性面上の配線と外部接続用の端子とを短い距離で接続することができる。このような構成により、外部との信号の伝送速度をより高くすることができる。

【0013】スルーホール内部は、たとえば、導電性ペーストを用いて導電体で充填してもよい。このような場合、スルーホール直下に外部接続用の端子を設けてもよ

い。これにより、活性面上の配線と外部接続用の端子との間の距離（第1の半導体チップの厚さにはほぼ等しい。）は、最短となる。第1の半導体チップの活性面上の配線は、すべてスルーホールを介して外部接続用の端子に接続する必要はなく、信号の高速伝送に必要な配線を優先して、スルーホールにより外部接続することができる。

【0014】請求項4記載の発明は、上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ内部の機能素子を相互に接続する配線（L22、L33）を備えており、上記第1の半導体チップの配線（L11、L12、L13、L123）が、上記第2の半導体チップの配線および上記第3の半導体チップの配線より断面積が大きいことを特徴とする請求項1ないし3のいずれかに記載の半導体装置である。

【0015】第1の半導体チップの配線は、上記のように半導体プロセスにより形成されるので幅が狭い。配線は、断面積が小さくなると、単位長さあたりの抵抗が高くなり、配線全体の抵抗が増大してしまう。本発明によれば、第1の半導体チップの配線は、第2または第3の半導体チップの配線より断面積が大きい。したがって、第1の半導体チップの配線の単位長さあたりの抵抗は低いので、第1の半導体チップの配線全体の抵抗は低い。このような構成により、第1の半導体チップを配線基板として良好な機能を有するものとしてすることができる。第1の半導体チップの配線は、すべて同じ断面積にする必要はなく、たとえば、長い配線を優先して断面積を大きくしてもよい。

【0016】第1の半導体チップにおける配線を、第2または第3の半導体チップにおける配線よりも断面積を大きくするためには、その幅を広くしたり、その厚さを厚くしたりすればよい。

【0017】

【発明の実施の形態】以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。図1は、本発明の一実施形態に係る半導体装置の図解的な斜視図である。1つの大きな半導体チップ（親チップ）1の上に、これより小さな半導体チップ（子チップ）2、3、4が互いに横方向に配されるように接続されている。子チップ2の上には、さらに子チップ2とほぼ同じ大きさの子チップ5、6が、縦方向に積層されて接続されている。

【0018】図2は、図1の半導体装置の子チップ2、3、5、6を含む断面の図解的な断面図である。図3は、親チップ1および子チップ2、3の配線を示す図解的な断面図である。親チップ1と子チップ2、3とは、それぞれの活性面1aと活性面2a、3aとが対向されてフリップチップ接続されている。すなわち、子チップ2、3の活性面2a、3aには、バンプ2b、3bが設けられており、バンプ2b、3bが親チップ1の活性面

1aに設けられた電極パッド（図示せず。）に接続することにより、機械的および電氣的に接続されている。親チップ1および子チップ2、3のそれぞれの活性面1a、2a、3aには、機能素子1c、2c、3cがそれぞれ形成されている。

【0019】活性面1aには、親チップ1の機能素子1c相互間を接続する配線L11、親チップ1の機能素子1cと子チップ2、3との間を接続するための配線L12、L13、および子チップ2と子チップ3との間を接続するための配線L123が形成されている。活性面2aには、子チップ2の機能素子2c相互間を接続する配線L22、および子チップ2の機能素子2cと親チップ1との間を接続するための配線L21が形成されている。活性面3aには、子チップ3の機能素子3c相互間を接続する配線L33、および子チップ3の機能素子3cと親チップ1との間を接続するための配線L31が形成されている。

【0020】親チップ1の機能素子1cと子チップ2の機能素子2cとは、配線L12、バンプ2b、および配線L21により接続されている。親チップ1の機能素子1cと子チップ3の機能素子3cとは、配線L13、バンプ3b、および配線L31により接続されている。子チップ2の機能素子2cと子チップ3の機能素子3cとは、配線L21、バンプ2b、配線L123、バンプ3b、および配線L31により接続されている。

【0021】親チップ1の配線L11、L12、L13、L123は、子チップ2、3の配線L21、L22、L31、L33より太くかつ厚く形成されて、子チップ2、3の配線L21、L22、L31、L33よりも断面積が大きくなっている。すなわち、親チップ1と子チップ2、3とは、デザインルールが異なる。親チップ1には、親チップ1を厚さ方向に貫通するスルーホール9が設けられている。スルーホール9の内部には、導電体12が充填されている。導電体12は、たとえば、導電ペーストを用いて充填することができる。スルーホール9の直下には、外部接続用の端子としてのバンプ8が設けられている。バンプ8は、たとえば、半田ボールで構成されたものとすることができる。活性面1a上の配線L11、L12、L13、L123とバンプ8とは、導電体12により電氣的に接続されている。スルーホール9の一部は、親チップ1と子チップ2、3との接合部（バンプ2b、3b）の直下に設けられている。

【0022】子チップ2、5には、子チップ2、5を厚さ方向に貫通するスルーホール21、22がそれぞれ設けられており、スルーホール21、22内には、導電体23、24がそれぞれ充填されている。子チップ5、6の下面（親チップ1側の面）は、機能素子や配線が形成された活性面5a、6aとなっている。活性面5a、6aには、導電体23、24の直上の位置に、それぞれバンプ5b、6bが設けられている。バンプ5b、6bと

導電体23、24とは、導電体23、24の上部に形成された電極パッド（図示しない。）を介して、それぞれ接合されている。これにより、子チップ2と子チップ5とは電氣的に接続されており、子チップ5と子チップ6とは電氣的に接続されている。

【0023】このような半導体装置の内部において、親チップ1と子チップ2、3とは、バンプ2b、3bを介して接続されている。子チップ2の機能素子2cと子チップ3の機能素子3cとは、親チップ1の活性面1a上に形成された配線L123を介して接続されている。親チップ1の配線L123は、半導体プロセスによるものであるため、配線幅や配線相互の間隔は、たとえば、1 $\mu$ m以下とすることができる。絶縁基板を用いた配線基板では、配線幅や配線相互の間隔が数十 $\mu$ mないし数百 $\mu$ m程度であるため、これらに比べて半導体プロセスによる配線は、格段に微細である。これにより、親チップ1の配線L123は、多層化した場合でも、長さを短くすることができる。したがって、子チップ2と子チップ3とを短い配線長で接続（内部接続）することができる。

【0024】また、親チップ1が機能素子1cを有することにより、機能素子1c、2c、3cは親チップ1および子チップ2、3に分散配置された状態となるため、平均的な配線長を短くすることができる。すなわち、親チップ1には、親チップ1内の機能素子1c相互間や親チップ1の機能素子1cと子チップ2、3の機能素子2c、3cとの間を接続するための配線L11、L12、L13も設けられている。これらの配線L11、L12、L13の大部分は、子チップ2、3の機能素子2c、3c相互間を接続するための配線L123と比べて短い。これにより、従来のマルチチップモジュールのように、互いに横方向に配された半導体チップの機能素子を接続する場合と比べて、全体として配線長は短くなる。

【0025】親チップ1の配線L11、L12、L13、L123と外部接続用の端子であるバンプ8とは、スルーホール9内の導電体12を介して接続されているため、配線距離が短い。そして、この半導体装置は、親チップ1のバンプ8を用いて、配線基板10に面実装することができる。バンプ8は、たとえば、配線基板10に設けられた接続パッド11に接続することができる。このため、親チップ1および子チップ2、3は、短い距離で外部接続できる。

【0026】以上のように、この半導体装置は内部接続、外部接続ともに短い配線長でなされている。このため、内部での信号伝送速度および外部との信号伝送速度はともに大きいので、半導体装置全体として信号伝送速度を向上することができる。子チップ4（図1参照）の構造および親チップ1との接続様式は、子チップ2、3と同様である。したがって、子チップ4も短い距離で外

部接続できる。親チップ1および子チップ2、3を、同種の半導体材料（たとえば、シリコン）で構成することにより、これらの熱膨張係数を一致させることができるので、熱膨張／収縮の差により応力が生じ接合が劣化することを回避できる。

【0027】親チップ1の配線L11、L12、L13、L123は、子チップ2、3の配線L21、L22、L31、L33に比べて、幅が広くかつ厚さが厚いので、単位長さあたりの抵抗が低い。したがって、親チップ1の配線L11、L12、L13、L123は、子チップ2、3間を接続する長い配線L123を含んでも、全体として低い抵抗を有する。親チップ1の配線L11、L12、L13、L123は、子チップ2、3の配線L21、L22、L31、L33と比べて、厚さが同じで幅のみが広くてもよく、幅が同じで厚さのみが厚くてもよい。また、親チップ1の配線L11、L12、L13、L123は、子チップ2、3の配線L21、L22、L31、L33と比べて、一律に幅が広くまたは（および）厚さが厚くされている必要はない。たとえば、子チップ2の機能素子2cと子チップ3の機能素子3cとを接続するための長い配線L123のみを幅が広くまたは（および）厚さが厚くされていてもよい。この場合、効率的に親チップ1の配線L11、L12、L13、L123の平均的な抵抗を低減することができる。

【0028】バンプ8は、スルーホール9の直下に配さ

れていなくてもよい。その場合、活性面1aと反対側の面に配線を設け、スルーホール9内の導電体12とバンプ8とを接続してもよい。その場合、スルーホール9の内部は、完全に導電体12で充填されていなくてもよく、たとえば、スルーホール9の内面のみをめっき等により導電膜が形成されていてもよい。親チップ1の活性面1aや子チップ2、3、4、5、6を保護するために、これらを含む領域が樹脂で封止されていてもよい。

【0029】その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の図解的な斜視図である。

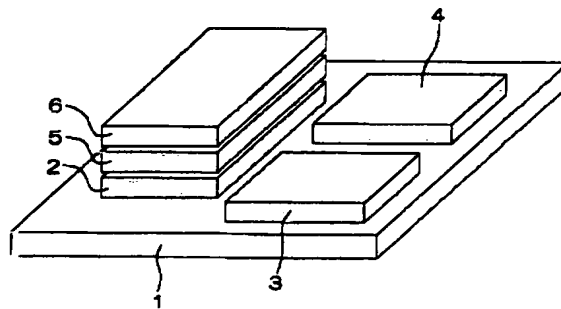
【図2】図1の半導体装置の図解的な断面図である。

【図3】親チップおよび子チップの配線を示す図解的な断面図である。

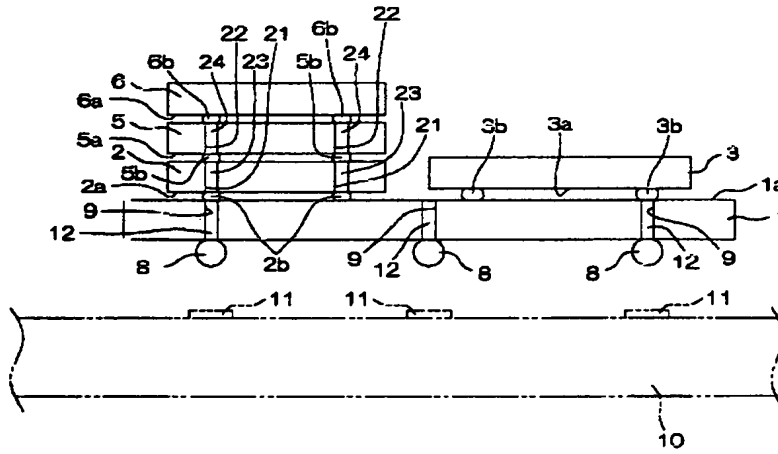
#### 【符号の説明】

- 1 親チップ
- 2, 3, 4, 5, 6 子チップ
- 1a, 2a, 3a 活性面
- 2b, 3b, 8 バンプ
- 1c, 2c, 3c 機能素子
- L11, L12, L13, L123 親チップの配線
- L21, L22, L31, L33 子チップの配線
- 9 スルーホール
- 12 導電体

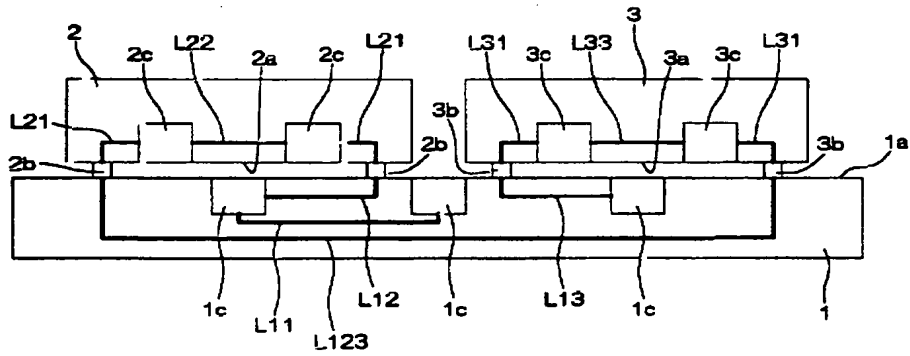
【図1】



【図2】



【図3】







19 **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

12 **Offenlegungsschrift**  
10 **DE 100 47 963 A 1**

21 Aktenzeichen: 100 47 963.4  
22 Anmeldetag: 27. 9. 2000  
43 Offenlegungstag: 29. 3. 2001

51 Int. Cl. 7:  
**H 01 L 25/04**  
H 01 L 21/58  
H 01 L 21/60  
H 01 L 31/167  
H 01 L 23/50

**DE 100 47 963 A 1**

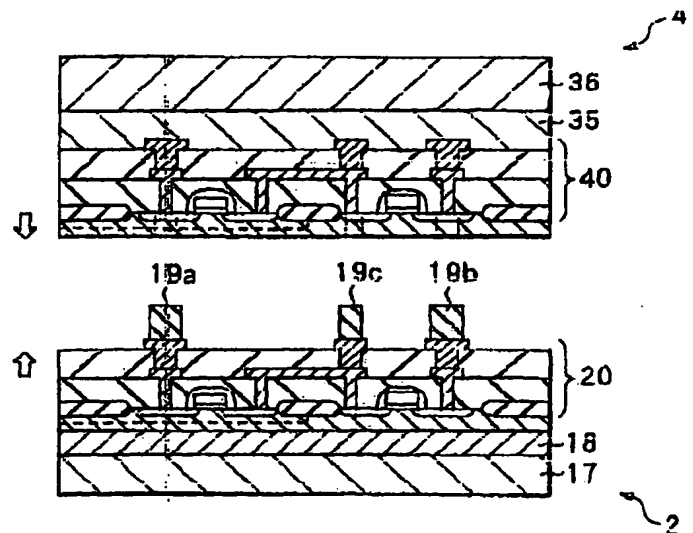
30 Unionspriorität:  
P 11-274062 28. 09. 1999 JP  
71 Anmelder:  
Sony Corp., Tokio/Tokyo, JP  
74 Vertreter:  
Patentanwälte MÜLLER & HOFFMANN, 81667  
München

72 Erfinder:  
Yamauchi, Kazushi, Tokio/Tokyo, JP; Matsushita,  
Takeshi, Tokio/Tokyo, JP

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

54 **Dünnschicht-Bauteil und Verfahren zu dessen Herstellung**

57 Ein Dünnschicht-Bauteil wird aus einer ersten und einer zweiten Bauteileinheit (2, 4) hergestellt. Zunächst wird die erste Bauteileinheit dadurch hergestellt, dass ein hinteres Trägersubstrat (17) an der Rückseite einer ersten Bauteilschicht (20) befestigt wird. Die zweite Bauteileinheit wird dadurch hergestellt, dass ein Trägersubstrat (36) an einer Fläche einer zweiten Bauteilschicht (40) befestigt wird. Dann werden die erste und die zweite Bauteileinheit so miteinander verbunden, dass die erste und die zweite Bauteilschicht einander zugewandt sind. Da die erste und die zweite Bauteilschicht beim Herstellen der ersten und zweiten Bauteileinheit individuell herstellbar sind, besteht keine Beschränkung für das Verfahren zum Herstellen dieser Schichten, abweichend vom bekannten Fall, in dem mehrere Bauteilschichten durch Aufstapeln in einer vorgegebenen Reihenfolge hergestellt werden.



**DE 100 47 963 A 1**

Die Erfindung betrifft ein Dünnfilm-Bauteil mit mehreren Bauteilschichten sowie ein Verfahren zu dessen Herstellung.

Es sind gestapelte Dünnfilm-Bauteile mit mehreren Bauteilschichten bekannt. Ein derartiges Dünnfilm-Bauteil wird dadurch hergestellt, dass mehrere Bauteilschichten der Reihe nach auf ein Substrat aufgestapelt werden. Beim Herstellprozess werden die Bauteilschichten durch einen Niedererwärmungsprozess wie Plasma-CVD aufeinander gestapelt. Wenn ein Hochtemperaturprozess wie thermisches CVD zum Aufstapeln der Bauteilschicht angewandt wird, können die bereits hergestellten Bauteilschichten wegen thermischer Diffusion oder dergleichen beschädigt werden.

Jedoch ist es mit Plasma-CVD oder dergleichen schwierig, eine so schnelle Abscheidung wie bei thermischem CVD zu erzielen. Daher ist mehr Zeit zum Herstellen jeder Bauteilschicht erforderlich, weswegen eine Erhöhung des Durchsatzes bei der Herstellung eines Dünnfilm-Bauteils verhindert ist.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zum Verbessern des Durchsatzes bei der Herstellung eines Dünnfilm-Bauteils sowie ein entsprechendes Dünnfilm-Bauteil zu schaffen.

Diese Aufgabe ist hinsichtlich des Verfahrens durch die Lehren der beigefügten unabhängigen Ansprüche 1 und 23 und hinsichtlich des Bauteils durch die Lehre des beigefügten Anspruchs 28 gelöst.

Bei der Erfindung werden mehrere Bauteileinheiten, bei denen ein Trägersubstrat eine Bauteilschicht trägt, vorab hergestellt, und ein Dünnfilm-Bauteil wird dadurch hergestellt, dass diese Bauteileinheiten kombiniert werden. An allen Bauteileinheiten wird die Bauteilschicht gleichzeitig hergestellt. Dies ermöglicht eine Verringerung der Zeit zum Herstellen der Bauteilschichten. Außerdem kann schnelles Abscheiden durch thermisches CVD beim Aufstapeln der Bauteilschichten der Reihe nach verwendet werden, was bei einem herkömmlichen Verfahren nicht anwendbar ist. Dies erlaubt eine weitere Verkürzung der Zeit zum Herstellen der Bauteilschicht. Da die Bauteilschicht vom Trägersubstrat gehalten wird, kann eine dünne Bauteilschicht von z. B. 1 µm Dicke mit anderen Schichten kombiniert werden.

Gemäß einer Erscheinungsform des erfindungsgemäßen Verfahrens werden Bauteilschichten auf beiden Flächen einer Halbleiterschicht hergestellt. Im Ergebnis wird ein Dünnfilm-Bauteil mit mehreren Bauteilschichten erhalten. Die individuelle Herstellung der Bauteilschichten auf jeder Oberfläche der Halbleiterschicht zeigt keine Beschränkung hinsichtlich eines Verfahrens zum Herstellen der Bauteilschicht, abweichend vom Fall, wenn mehrere Bauteilschichten der Reihe nach aufeinander gestapelt werden. Demgemäß kann ein Verfahren zum Herstellen von Bauteilschichten innerhalb kurzer Zeit ausgewählt werden, wie schnelles epitaktisches Wachstum. Die in der Halbleiterschicht vorhandene innere Isolierschicht trennt zwei Bauteilschichten auf elektrische Weise.

Bei einem erfindungsgemäßen Dünnfilm-Bauteil kann eine zweite Bauteilschicht Licht erfassen, wie es von einer ersten Bauteilschicht emittiert wird, wenn Licht durch ein Objekt reflektiert und zurückgestrahlt wird.

Andere und weitere Aufgaben, Merkmale und Vorteile der Erfindung gehen aus der folgenden, auf Figuren gestützten Beschreibung deutlicher hervor.

Fig. 1 ist eine Darstellung zum Veranschaulichen des Aufbaus eines Dünnfilm-Bauteils gemäß einem ersten Ausführungsbeispiel der Erfindung;

Fig. 2 ist ein Flussdiagramm zum Veranschaulichen eines Verfahrens zum Herstellen einer ersten Bauteileinheit bei ei-

nem Verfahren zum Herstellen eines Dünnfilm-Bauteils gemäß dem ersten Ausführungsbeispiel der Erfindung;

Fig. 3A bis 3D sind Schnittansichten zum Veranschaulichen eines Schritts im Herstellverfahren der Fig. 2;

Fig. 4A bis 4D sind Schnittansichten zum Veranschaulichen des Schritts, der auf den durch die Fig. 3A bis 3D veranschaulichten Schritt folgt;

Fig. 5A bis 5C sind Schnittansichten zum Veranschaulichen des Schritts, der auf den durch die Fig. 4A bis 4D veranschaulichten Schritt folgt;

Fig. 6A und 6B sind Schnittansichten zum Veranschaulichen des Schritts, der auf den durch die Fig. 5A bis 5C veranschaulichten Schritt folgt;

Fig. 7A bis 7D sind Schnittansichten zum Veranschaulichen eines Verfahrens zum Herstellen einer zweiten Bauteileinheit gemäß einem Verfahren zum Herstellen eines Dünnfilm-Bauteils gemäß dem ersten Ausführungsbeispiel der Erfindung;

Fig. 8A bis 8C sind Schnittansichten zum Veranschaulichen des Schritts, der auf den durch die Fig. 7A bis 7D veranschaulichten Schritt folgt;

Fig. 9A und 9B sind Schnittansichten zum Veranschaulichen eines Verbindungsprozesses für eine erste und eine zweite Bauteileinheit beim ersten Ausführungsbeispiel der Erfindung;

Fig. 10A und 10B sind Schnittansichten zum Veranschaulichen eines Verfahrens zum Herstellen eines Dünnfilm-Bauteils mit Dreischichtstruktur;

Fig. 11 ist eine perspektivische Ansicht zum Veranschaulichen eines Trägeroberflächensubstrats gemäß einer ersten Modifizierung des ersten Ausführungsbeispiels;

Fig. 12 ist eine perspektivische Ansicht zum Veranschaulichen eines Trägeroberflächensubstrats gemäß einer zweiten Modifizierung des ersten Ausführungsbeispiels;

Fig. 13 ist eine Schnittansicht zum Veranschaulichen eines Trägeroberflächensubstrats gemäß einer dritten Modifizierung des ersten Ausführungsbeispiels;

Fig. 14 ist ein Flussdiagramm zum Veranschaulichen eines Verfahrens zum Herstellen eines Dünnfilm-Bauteils gemäß einem zweiten Ausführungsbeispiel der Erfindung;

Fig. 15A bis 15C sind Schnittansichten zum Veranschaulichen eines Schritts beim Herstellverfahren der Fig. 14;

Fig. 16 ist ein Flussdiagramm zum Veranschaulichen einer ersten Modifizierung des Verfahrens zum Herstellen eines Dünnfilm-Bauteils gemäß dem zweiten Ausführungsbeispiel;

Fig. 17A und 17B sind Ansichten zum Veranschaulichen einer zweiten Modifizierung des Verfahrens zum Herstellen eines Dünnfilm-Bauteils gemäß dem zweiten Ausführungsbeispiel;

Fig. 18A und 18B sind Ansichten zum Veranschaulichen einer dritten Modifizierung des Verfahrens zum Herstellen eines Dünnfilm-Bauteils gemäß dem zweiten Ausführungsbeispiel;

Fig. 19 ist eine Ansicht zum Veranschaulichen eines Zustands, in dem das Halbleitersubstrat und das Trägeroberflächensubstrat, wie in den Fig. 18A und 18B dargestellt, übereinander angeordnet sind;

Fig. 20 ist ein Flussdiagramm zum Veranschaulichen eines Verfahrens zum Herstellen eines Dünnfilm-Bauteils gemäß einem dritten Ausführungsbeispiel der Erfindung;

Fig. 21A bis 21D sind Schnittansichten zum Veranschaulichen eines Schritts beim Herstellverfahren der Fig. 20;

Fig. 22A und 22B sind Schnittansichten zum Veranschaulichen des Schritts, der auf den Schritt gemäß den Fig. 21A bis 21D folgt;

Fig. 23A bis 23D sind Schnittansichten zum Veranschaulichen eines Verfahrens zum Herstellen einer ersten Bauteil-

einheit bei einem Verfahren zum Herstellen eines Dünnschicht-Bauteils gemäß einem vierten Ausführungsbeispiel der Erfindung;

**Fig. 24A bis 24C** sind Schnittansichten zum Veranschaulichen des Schritts, der auf den Schritt gemäß den **Fig. 23A** bis **23D** folgt;

**Fig. 25A bis 25E** sind Schnittansichten zum Veranschaulichen eines Verfahrens zum Herstellen einer zweiten Bauteileinheit bei einem Verfahren zum Herstellen eines Dünnschicht-Bauteils gemäß dem vierten Ausführungsbeispiel der Erfindung;

**Fig. 26A bis 26E** sind Schnittansichten zum Veranschaulichen des Schritts, der auf den Schritt gemäß den **Fig. 25A** bis **25E** folgt; und

**Fig. 27A und 27B** sind Schnittansichten zum Veranschaulichen des Verbindungsprozesses für die erste und zweite Bauteileinheit beim vierten Ausführungsbeispiel der Erfindung.

#### Erstes Ausführungsbeispiel

Unter Bezugnahme auf die **Fig. 1 bis 12** wird nun ein Dünnschicht-Bauteil und ein zugehöriges Herstellverfahren gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

#### Konfiguration des Dünnschicht-Bauteils

**Fig. 1** zeigt den Grundaufbau eines Dünnschicht-Bauteils 1 gemäß diesem Ausführungsbeispiel. Dieses Dünnschicht-Bauteil 1 verfügt über mehrere Bauteilschichten, z. B. zwei Bauteilschichten. Jede Bauteilschicht bildet ein Schaltungselement wie einen Transistor, einen Kondensator, eine Laserdiode, eine Fotodiode oder eine integrierte Schaltung wie eine CPU (zentrale Verarbeitungseinheit) oder einen DRAM (dynamischer Direktzugriffsspeicher). Bei diesem Ausführungsbeispiel verfügt das Dünnschicht-Bauteil 1 über zwei Bauteilschichten, die einen CMOS (komplementären Metall-Oxid-Halbleiter)-Transistor bilden.

Das Dünnschicht-Bauteil 1 verfügt über eine erste Bauteilschicht 20 und eine zweite Bauteilschicht 40. Die erste Bauteilschicht 20 ist auf einer Oberfläche einer Halbleiterschicht 13 aus z. B. einkristallinem p-Silizium ausgebildet. Auf der Halbleiterschicht 13 befindet sich ein Isolierfilm 21 mit vorbestimmtem Muster zum Isolieren benachbarter Bauteile. Auf einer Fläche der Halbleiterschicht 13, die nicht mit dem Isolierfilm 21 bedeckt ist, sind ein p-Kanal-Transistor 20a und ein n-Kanal-Transistor 20b ausgebildet.

Im Gebiet der Oberfläche der Halbleiterschicht 13 zum Ausbilden des p-Kanal-Transistors 20a ist eine n-Wanne 13a, die ein Gebiet mit eindiffundiertem n-Fremdstoff mit relativ niedriger Konzentration ist, ausgebildet, um den p-Kanal-Transistor 20a zu bilden. Dieser p-Kanal-Transistor 20a verfügt über p-Fremdstoffgebiete (nachfolgend als p-Gebiet bezeichnet) 251 und 252, die durch Implantieren eines p-Fremdstoffs in die n-Wanne 13a ausgebildet werden, und auf den p-Gebieten 251 und 252 ist, einen Gateisolierfilm 22a einbettend, eine Gate-Kumulier-Wort-Leitung 23a ausgebildet. Der n-Kanal-Transistor 20b verfügt über n-Fremdstoffgebiete (nachfolgend als n-Gebiet bezeichnet) 253 und 254, die durch Implantieren eines n-Fremdstoffs in die Oberfläche der Halbleiterschicht 13 hergestellt werden, und auf den n-Gebieten 253 und 254 ist, einen Gateisolierfilm 22b einbettend, eine Gate-Kumulier-Wort-Leitung 23b ausgebildet. Die Transistoren 20a und 20b sind mit einer ersten Zwischenschicht-Isolierschicht 26 und einer zweiten Zwischenschicht-Isolierschicht 28 aus einem isolierenden Material bedeckt. Auf der zweiten Zwischenschicht-Isolierschicht 28 sind Oberflächen-Leiterbahnschichten 29a, 29b

und 29c aus Metall hergestellt.

Das p-Gebiet 251 ist über eine nicht dargestellte Zwischen-Leiterbahnschicht 27a (siehe **Fig. 4C**) mit der Oberflächen-Leiterbahnschicht 29a verbunden. Das n-Gebiet 254 ist über eine nicht dargestellte Zwischen-Leiterbahnschicht 27b (siehe **Fig. 4C**) mit der Oberflächen-Leiterbahnschicht 29b verbunden. Das p-Gebiet 252 und das n-Gebiet 253 sind mit einer Zwischen-Leiterbahnschicht 27c verbunden, die mit der Oberflächen-Leiterbahnschicht 29c verbunden ist.

Die zweite Bauteilschicht 40 verfügt über dieselbe Konfiguration wie die erste Bauteilschicht 20. Genauer gesagt, ist auf einer Oberfläche einer Halbleiterschicht 33 aus z. B. einkristallinem p-Silizium ein Isolierfilm 41 ausgebildet. Auf einer Fläche der Halbleiterschicht 33, die nicht mit dem Isolierfilm 41 bedeckt ist, sind ein p-Kanal-Transistor 40a und ein n-Kanal-Transistor 40b ausgebildet.

Der p-Kanal-Transistor 40a verfügt über p-Gebiete 451 und 452, die auf einer n-Wanne 33a der Halbleiterschicht 33 hergestellt sind, und ein Gate 43a, das auf den p-Gebieten 451 und 452 hergestellt ist, mit Einbettung eines Gateisolierfilms 42a. Der n-Kanal-Transistor 40b verfügt über n-Gebiete 453 und 455, die auf der Oberfläche der Halbleiterschicht 33 hergestellt sind, und ein Gate 43b, das auf den n-Gebieten 453 und 454 hergestellt ist, mit Einbettung eines Gateisolierfilms 42b. Die Transistoren 40a und 40b sind mit einer ersten Zwischenschicht-Isolierschicht 46 und einer zweiten Zwischenschicht-Isolierschicht 48 aus einem isolierenden Material bedeckt. Auf der zweiten Zwischenschicht-Isolierschicht 48 sind Oberflächen-Leiterbahnschichten 49a, 49b und 49c ausgebildet.

Das p-Gebiet 451 ist über eine nicht dargestellte Zwischen-Leiterbahnschicht 47a (siehe **Fig. 7A**) mit der Oberflächen-Leiterbahnschicht 49a verbunden. Das n-Gebiet 454 ist über eine nicht dargestellte Zwischen-Leiterbahnschicht 47b (siehe **Fig. 7A**) mit der Oberflächen-Leiterbahnschicht 49b verbunden. Das p-Gebiet 452 und das n-Gebiet 453 sind mit einer Zwischen-Leiterbahnschicht 47c verbunden, die mit der Oberflächen-Leiterbahnschicht 49c verbunden ist. Die Oberflächen-Leiterbahnschichten 49a, 49b und 49c sind über Zuleitungsdrähte 97a, 97b bzw. 97c mit einem Spannungsversorgungspotential, einem Massepotential bzw. einem Ausgangspotential verbunden.

Die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 sind durch einen Kleber 49 aus z. B. Epoxidharz miteinander verbunden. Ein hinteres Trägersubstrat 17 aus z. B. einem Kunststoffmaterial ist mit der ersten Bauteilschicht 20 auf derjenigen Seite verbunden, die von der der zweiten Bauteilschicht 40 zugewandten Seite abgewandt ist (nach unten in **Fig. 1**), wobei ein Kleber 18 aus z. B. Epoxidharz eingebettet ist. Die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 sind ungefähr 1 µm dick, und das hintere Trägersubstrat 17 ist ungefähr 1 mm dick, was Beispielswerte sind. Daher trägt das hintere Trägersubstrat 17 das gesamte Dünnschicht-Bauteil 1. In **Fig. 1** sind die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 dicker als das hintere Trägersubstrat 17 dargestellt.

Die Oberflächen-Leiterbahnschichten 29a, 29b und 29c der ersten Bauteilschicht 20 sind über Lötmetall-Kontakthöcker 19a, 19b bzw. 19c mit den Oberflächen-Leiterbahnschichten 49a, 49b bzw. 49c verbunden. Die Oberflächen-Leiterbahnschichten 49a, 49b und 49c der zweiten Bauteilschicht 40 sind über Kontaktpfropfen 95a, 95b bzw. 95c, die so vorhanden sind, dass sie die Halbleiterschicht 33, den Isolierfilm 41, die erste Zwischenschicht-Isolierschicht 46 und die zweite Zwischenschicht-Isolierschicht 48 durchdringen, mit den Lötmetall-Kontakthöckern 19a, 19b bzw. 19c verbunden. Im Ergebnis sind die Oberflächen-Leiterbahnschichten 29a, 29b und 29c der ersten Bauteilschicht 20

über die Lötmitte-Kontakthöcker 19a, 19b bzw. 19c, die Kontaktpfropfen 95a, 95b bzw. 95c und die Zuleitungsdrähte 97a, 97b bzw. 97c mit dem Spannungsversorgungspotential, dem Ausgangspotential bzw. dem Massepotential verbunden.

#### Verfahren zum Herstellen eines Dünnschicht-Bauteils

Fig. 2 ist ein Flussdiagramm zum Veranschaulichen eines Verfahrens zum Herstellen eines Dünnschicht-Bauteils gemäß dem ersten Ausführungsbeispiel. Das Dünnschicht-Bauteil 1 dieses Ausführungsbeispiels wird dadurch hergestellt, dass eine erste Bauteileinheit 2, bei der die erste Bauteilschicht 20 durch das hintere Trägersubstrat gehalten ist, und eine zweite Bauteileinheit 4, bei der die zweite Bauteilschicht 40 durch ein vorderes Trägersubstrat gehalten ist, miteinander verbunden werden.

#### Verfahren zum Herstellen einer ersten Bauteileinheit

Als Erstes erfolgt eine Beschreibung zu einem Verfahren zum Herstellen der ersten Bauteileinheit 2. Die Fig. 3A bis 3D bis 6A und 6B veranschaulichen Schnittansichten zum Beschreiben jedes Schritts des Herstellungsverfahrens für die Bauteileinheit 2. Wie es in Fig. 3A dargestellt ist, wird ein Halbleitersubstrat 11 aus einkristallinem p-Silizium mit z. B. 100-Kristallflächen verwendet. Bevorzugt ist einkristallines Silizium, das mit einem p-Fremdstoff wie Bor (B) dotiert ist und einen spezifischen Widerstand in der Größenordnung von 0,01 bis 0,02  $\Omega \cdot \text{cm}$  aufweist.

Dann wird auf der Oberfläche des Halbleitersubstrats 11 durch Anodisieren eine poröse Schicht 12 hergestellt (S10). Anodisieren ist ein Verfahren, bei dem Strom durch eine Fluorwasserstoffsäure-Lösung hindurchgeschickt wird, wobei das Halbleitersubstrat 11 als Anode verwendet wird. Anodisieren kann durch ein Doppelzellen-Verfahren ausgeführt werden, wie es z. B. von Itoh et al. in "Anodization of Porous Silicon", Surface Finishing Vol. 46, No. 5, S. 8-13, 1955 beschrieben ist. Bei diesem Verfahren wird das Halbleitersubstrat 11, auf dem eine poröse Schicht auszubilden ist, zwischen zwei Räumen in der Zelle angeordnet, und in beiden Räumen werden Platinelektroden angeordnet, die mit einer Gleichstromquelle verbunden sind. Dann werden beide Räume mit Elektrolytlösung gefüllt, und den Platinelektroden wird eine Gleichspannung zugeführt. Das Halbleitersubstrat 11 wird anodisiert, und die Platinelektroden werden zur Kathode. So wird die eine Seite des Halbleitersubstrats 11 erodiert und wird porös.

Genauer gesagt, wird als Elektrolytlösung (Anodisierlösung) z. B. eine Elektrolytlösung verwendet, die HF (Fluorwasserstoff) und  $\text{C}_2\text{H}_5\text{OH}$  (Ethanol) im Verhältnis 1 zu 1 (Volumenverhältnis von 49% HF-Lösung zu 95%  $\text{C}_2\text{H}_5\text{OH}$ -Lösung) enthält. Ein erster Anodisierungsschritt erfolgt für 8 Minuten bei einer Stromdichte von z. B. 1  $\text{mA}/\text{cm}^2$ , um eine poröse Schicht 12a niedriger Porosität von z. B. ungefähr 16% und einer Dicke von 1,7  $\mu\text{m}$  herzustellen, wie es in Fig. 3B dargestellt ist. Dann erfolgt eine Anodisierung in einem zweiten Schritt für 8 Minuten mit einer Stromdichte von z. B. 7  $\text{mA}/\text{cm}^2$  zum Herstellen einer porösen Schicht 12b mit einer mittleren Porosität von z. B. ungefähr 26% und einer Dicke von 6,8  $\mu\text{m}$ , wie in Fig. 3C dargestellt. Ferner erfolgt eine Anodisierung in einem dritten Schritt für wenige Sekunden mit einer Stromdichte von z. B. 200  $\text{mA}/\text{cm}^2$  zum Herstellen einer porösen Schicht 12 mit hoher Porosität von z. B. ungefähr 60 bis 70% und einer Dicke von 0,05  $\mu\text{m}$ , wie in Fig. 3D dargestellt. Dadurch wird die poröse Schicht 12 mit ungefähr 8  $\mu\text{m}$  Dicke hergestellt, die über die drei porösen Schichten 12a, 12b und 12c mit jeweils anderer Porosi-

tät verfügt.

Anschließend erfolgt ein Tempern in Wasserstoff für z. B. 30 Minuten bei einer Temperatur von 500°C, um dadurch Löcher in der Oberfläche der porösen Schicht 12 auszufüllen. Dann wird auf die poröse Schicht 12 bei einer Temperatur von 1070°C unter Verwendung eines Gases wie  $\text{SiH}_4$  (Silan) einkristallines Silizium epitaktisch aufgewachsen, wodurch die in Fig. 4A dargestellte Halbleiterschicht 13 ausgebildet wird (S11). Im Gebiet der Oberfläche der Halbleiterschicht 13 zum Herstellen des p-Kanal-Transistors 20a (siehe Fig. 1) werden n-Fremdstoffionen implantiert, und es wird die n-Wanne 13a ausgebildet.

Wie es in Fig. 4B dargestellt ist, wird die erste Bauteilschicht 20 auf der n-Wanne 13a der Halbleiterschicht 13 hergestellt (S12). Genauer gesagt, wird als Erstes der Isolierfilm 21 durch LOCOS (lokale Oxidation von Silizium) auf der Oberfläche der Halbleiterschicht 13 hergestellt. Der Gateisolierfilm 22a wird im Bereich ausgebildet, in dem der Transistor 20a herzustellen ist, was z. B. durch thermische Oberflächenoxidation der Halbleiterschicht 13 erfolgt. Auf dem Gateisolierfilm 22a wird das Gate (die Wortleitung) 23a hergestellt. Durch strukturierendes Ätzen mittels Fotolithografie wird das Gate 23a ausgebildet, nachdem auf der gesamten Oberfläche des Gateisolierfilms 22a durch z. B. CVD polykristallines Silizium hergestellt wurde.

Unter Verwendung des Gates 23a als Maske werden die p-Gebiete 251 und 252 der p-Fremdstoffgebiete mit niedriger Konzentration in der Halbleiterschicht 13 dadurch ausgebildet, dass ein p-Fremdstoff mit relativ niedriger Konzentration implantiert wird. Die p-Gebiete 251 und 252 werden zur Source bzw. zum Drain. An den Seiten des Gates 23a wird eine Seitenwand 24 aus Siliciumdioxid ( $\text{SiO}_2$ ) hergestellt. Unter Verwendung der Seitenwand 24a als Maske werden p-Fremdstoffionen mit hoher Konzentration zu beiden Seiten der Seitenwand 24a implantiert. Im Ergebnis wird eine LDD (leicht dotierter Drain)-Struktur erhalten, bei der die p-Gebiete 251 und 252 im Gebiet entfernt vom Gate 23a eine höhere Fremdstoffkonzentration als im Gebiet nahe am Gate 23a aufweisen. Dadurch wird der p-Kanal-Transistor 20a hergestellt.

Der n-Kanal-Transistor 20b wird wie der p-Kanal-Transistor 20a hergestellt. Genauer gesagt, wird der Gateisolierfilm 22b in einem Bereich ausgebildet, in dem der Transistor 20b hergestellt wird, was z. B. durch thermische Oberflächenoxidation der Halbleiterschicht 13 erfolgt. Auf dem Gateisolierfilm 22b wird das Gate 23b hergestellt. Unter Verwendung des Gates 23b als Maske werden die n-Gebiete 253 und 254 als n-Fremdstoffgebiete mit niedriger Konzentration in der Halbleiterschicht 13 dadurch hergestellt, dass ein n-Fremdstoff mit relativ niedriger Konzentration implantiert wird. Die n-Gebiete 253 und 254 werden zur Source bzw. zum Drain. An den Seiten des Gates 23b wird eine Seitenwand 24b aus  $\text{SiO}_2$  hergestellt. Unter Verwendung dieser Seitenwand 24b als Maske wird ein n-Fremdstoff durch Ionenimplantation mit hoher Konzentration zu beiden Seiten der Seitenwand 24b implantiert. Im Ergebnis ist die oben beschriebene LDD-Struktur erhalten.

Wie es in Fig. 4C dargestellt ist, werden die Zwischenleiterbahnschichten 27a, 27b und 27c hergestellt, nachdem die erste Zwischenschicht-Isolierschicht 26 aus z. B.  $\text{SiO}_2$  abgeschieden und eingeebnet wurde. Die Zwischenleiterbahnschichten 27a und 27b werden durch Kontaktlöcher in der ersten Zwischenschicht-Isolierschicht 26 elektrisch mit dem p-Gebiet 251 (Source des Transistors 20a) bzw. dem n-Gebiet 254 (Drain des Transistors 20b) verbunden. Die Zwischenleiterbahnschicht 27c wird durch die Kontaktlöcher in der ersten Zwischenschicht-Isolierschicht 26 elektrisch mit sowohl dem p-Gebiet 252 (Drain des Transistors 20a)

als auch dem n-Gebiet 253 (Source des Transistors 20b) verbunden.

Wie es in Fig. 4D dargestellt ist, wird die zweite Zwischenschicht-Isolierschicht 28 aus z. B.  $\text{SiO}_2$  auf der ersten Zwischenschicht-Isolierschicht 26 abgeschieden und eingeebnet, und dann werden auf ihr die Oberflächen-Leiterbahnschichten 29a, 29b und 29c hergestellt, die durch Kontaktlöcher in der zweiten Zwischenschicht-Isolierschicht 28 mit den Zwischen-Leiterbahnschichten 27a, 27b bzw. 27c verbunden werden. So wird die erste Bauteilschicht 20 hergestellt.

Wie es in Fig. 5A dargestellt ist, wird ein Trägeroberflächensubstrat 16 in z. B. der Form eines Kunststoffsubstrats unter Verwendung eines Klebers 15 mit einem Schmelzpunkt von ungefähr  $70^\circ\text{C}$  mit der Oberfläche der ersten Bauteilschicht 20 verbunden (S14). Als Nächstes werden, wie es in Fig. 5B dargestellt ist, die erste Bauteilschicht 20 und das Trägeroberflächensubstrat 16 vom Halbleitersubstrat 11 abgezogen (S16). Zum Abziehen können drei Verfahren verwendet werden. Das eine besteht im Anwenden einer externen Kraft auf das Trägeroberflächensubstrat 16 und das Halbleitersubstrat 11 in der Richtung, die die beiden voneinander trennt. Das zweite besteht im Schwächen der Festigkeit der porösen Schicht 12 durch Eintauchen des Halbleitersubstrats 11 in eine Lösung, wie eine solche von Wasser und Ethanol, und Anwenden von Ultraschall hierauf. Das dritte besteht im Schwächen der Festigkeit der porösen Schicht 12 durch Ausüben einer Zentrifugalkraft auf das Halbleitersubstrat 11. Durch diese Verfahren werden die Schicht 12c hoher Porosität innerhalb der porösen Schicht 12 und deren Umgebung, d. h. eine Abreißschicht, voneinander getrennt, und das Trägeroberflächensubstrat 16 wird gemeinsam mit der ersten Bauteilschicht 20 vom Halbleitersubstrat 11 abgezogen. Der Kleber 15 zwischen dem Trägeroberflächensubstrat 16 und der ersten Bauteilschicht 20 verfügt über ein solches Haftvermögen, dass vermieden wird, dass das Trägeroberflächensubstrat 16 von der ersten Bauteilschicht 20 abgezogen wird, wenn es und die erste Bauteilschicht 20 vom Halbleitersubstrat 11 abgezogen werden.

Um das Halbleitersubstrat 11 dadurch abzuheben, dass die Zerreißschicht in ihr ausgebildet wird, kann das sogenannte Smart-Cut-Verfahren verwendet werden, bei dem die Zerreißschicht in der Nähe der Oberfläche des Halbleitersubstrats 11 aus einkristallinem Silicium durch eine Wärmebehandlung bei einer Temperatur von z. B.  $500^\circ\text{C}$ , nachdem Wasserstoff (H) in der Nähe der Oberfläche des Halbleitersubstrats 11 implantiert wurde, ausgebildet wird. In diesem Fall wird die erste Bauteilschicht 20 vorzugsweise bei der Wärmebehandlungstemperatur zum Herstellen der Zerreißschicht, z. B.  $500^\circ\text{C}$  und darunter, hergestellt.

Der Rest der porösen Schicht 12, der an der Rückseite der ersten Bauteilschicht 20 anhängt, wird durch Ätzen entfernt. Wie es in Fig. 5C dargestellt ist, wird das hintere Trägersubstrat 17 aus z. B. Kunststoff unter Verwendung eines Klebers 18 mit einem Schmelzpunkt von ungefähr  $100^\circ\text{C}$  an die Rückseite der ersten Bauteilschicht 20 angeklebt (S18). Anschließend wird die gesamte Bauteileinheit auf eine Temperatur von z. B.  $90^\circ\text{C}$  erwärmt, und es wird der Kleber 15 zwischen dem Trägeroberflächensubstrat 16 und der ersten Bauteilschicht 20 aufgeschmolzen. Die genannte externe Kraft wird auf das Trägeroberflächensubstrat 16 und das hintere Trägersubstrat 17 in der Richtung zum Trennen derselben ausgeübt, und so wird das Trägeroberflächensubstrat 16 von der ersten Bauteilschicht 20 abgezogen, wie es in Fig. 6A dargestellt ist (S20).

Wie es in Fig. 6B dargestellt ist, werden die Lötmittekontaktthöcker 19a, 19b und 19c auf den Oberflächen-Leiterbahnschichten 29a, 29b bzw. 29c der ersten Bauteil-

schicht 20 hergestellt, nachdem der Rest des an der Oberfläche der ersten Bauteilschicht 20 anhaftenden Klebers 15 durch Reinigen entfernt wurde (S21). So wird die erste Bauteileinheit 2 erhalten, bei der das hintere Trägersubstrat 17 die erste Bauteilschicht 20 trägt.

#### Verfahren zum Herstellen einer zweiten Bauteileinheit

Die Fig. 7A bis 7D und 8A bis 8C sind Schnittansichten zum Beschreiben jedes Schritts eines Herstellverfahrens für die zweite Bauteileinheit 4. Der Herstellprozess für die zweite Bauteileinheit 4 umfasst dieselben Schritte (S22 bis S32) wie der Herstellprozess für die erste Bauteileinheit 2 (Schritte S1 bis S20). Genauer gesagt, wird auf einer Oberfläche eines Halbleitersubstrats 31 aus einkristallinem Silicium durch Anodisieren eine poröse Schicht 32 hergestellt (S22). Auf der porösen Schicht 32 wird die Halbleiterschicht 33 aus einkristallinem Silicium durch epitaktisches Wachstum hergestellt (S23). Auf der Oberfläche der Halbleiterschicht 33 wird die zweite Bauteilschicht 40 hergestellt (S24).

Ein Verfahren zum Herstellen der zweiten Bauteilschicht 40 im Schritt S24 ist derselbe wie der für die erste Bauteilschicht 20, d. h. der Schritt S12, mit der Ausnahme, dass ein Schritt zum Hinzufügen der Kontaktpfropfen 95a, 95b und 95c zusätzlich vorhanden ist. Als Erstes wird der Isolierfilm 41 durch teilweise Oxidation auf einer Fläche der Halbleiterschicht 33 ausgebildet. Die Gateisolierfilme 42a und 42b werden in Bereichen, in denen der Transistor herzustellen ist, durch z. B. thermische Oberflächenoxidation der Halbleiterschicht 33 ausgebildet. Auf den Gateisolierfilmen 42a und 42b wird das Gate 43a durch z. B. CVD und Fotolithografie hergestellt. Die p-Gebiete 451 und 452 werden durch Implantieren eines p-Fremdstoffs zu beiden Seiten des Gates 43a der Halbleiterschicht 33 hergestellt. Die n-Gebiete 453 und 454 werden durch Implantieren eines n-Fremdstoffs zu beiden Unterseiten des Gates 43b der Halbleiterschicht 33 hergestellt. Die Seitenwände 44a und 44b aus z. B.  $\text{SiO}_2$  werden an den Seiten der Gates 43a und 43b hergestellt. Die erste Zwischenschicht-Isolierschicht 46 aus z. B.  $\text{SiO}_2$  und die Zwischen-Leiterbahnschichten 47a, 47b und 47c werden darauf hergestellt. Außerdem wird die zweite Zwischenschicht-Isolierschicht 48 aus z. B.  $\text{SiO}_2$  hergestellt, auf der dann die Oberflächen-Leiterbahnschichten 49a, 49b und 49c hergestellt werden.

Nach dem Herstellen der zweiten Zwischenschicht-Isolierschicht 48 werden jedoch, vor dem Herstellen der Oberflächen-Leiterbahnschichten 49a, 49b und 49c, die Kontaktpfropfen 95a, 95b und 95c hergestellt. Genauer gesagt, werden die erste Zwischenschicht-Isolierschicht 46, die zweite Zwischenschicht-Isolierschicht 48 und die Halbleiterschicht 33 durchdringende Löcher 96a, 96b und 96c durch Ätzen hergestellt, und in ihnen werden über einen Isolierfilm die Kontaktpfropfen 95a, 95b und 95c aus z. B. Metall hergestellt.

Nach dem Herstellen der zweiten Bauteilschicht 40 wird, wie es in Fig. 7B dargestellt ist, ein Trägeroberflächensubstrat 36 aus Kunststoff an der Oberfläche der zweiten Bauteilschicht 40 unter Verwendung eines Klebers 35 mit einem Schmelzpunkt von ungefähr  $70^\circ\text{C}$  befestigt (S26). Als Nächstes werden die zweite Bauteilschicht 40 und das Trägeroberflächensubstrat 36 vom Halbleitersubstrat 31 abgezogen (S28). Zum Abziehen können drei Verfahren verwendet werden. Das eine besteht im Ausüben einer externen Kraft auf das Trägeroberflächensubstrat 36 und das Halbleitersubstrat 31 in der die beiden voneinander trennenden Richtung. Das zweite besteht im Schwächen der Festigkeit der porösen Schicht 32 durch Eintauchen des Halbleitersubstrats 31 in

eine Lösung, wie z. B. eine solche von Wasser und Ethanol, und Einstrahlen von Ultraschall. Das dritte besteht im Schwächen der Festigkeit der porösen Schicht 32 durch Ausüben einer Zentrifugalkraft auf das Halbleitersubstrat 31.

Wie es in Fig. 7C dargestellt ist, wird unter Verwendung eines Klebers 38 mit einem Schmelzpunkt von ungefähr 100°C ein hinteres Trägersubstrat 37 an die Rückseite der zweiten Bauteilschicht 40 angeklebt (S30). Wie es in Fig. 7D dargestellt ist, wird der Kleber 35 zwischen dem Trägeroberflächensubstrat 36 und der zweiten Bauteilschicht 40 auf eine Temperatur von z. B. 90°C erwärmt und aufgeschmolzen. Gleichzeitig wird die genannte äußere Kraft auf das Trägeroberflächensubstrat 36 und das hintere Trägersubstrat 37 in der die beiden voneinander trennenden Richtung ausgeübt, und so wird das Trägeroberflächensubstrat 36 von der zweiten Bauteilschicht 40 abgezogen (S32).

Anschließend wird ein Prozess zum Positionieren einer Oberflächenelektrode ausgeübt, nachdem der Rest des an der Oberfläche der zweiten Bauteilschicht 40 anhaftenden Klebers 35 durch Reinigen entfernt wurde (S34). Genauer gesagt, werden die Oberflächen-Leiterbahnschichten 49a, 49b und 49c der zweiten Bauteilschicht 40 sowie die Zuleitungsdrähte 97a, 97b und 97c, die in Fig. 1 dargestellt sind, jeweils durch Löten unter Verwendung von z. B. Indium (In) angeschlossen. Wie es in Fig. 8a dargestellt ist, wird das Trägeroberflächensubstrat 36 erneut unter Verwendung eines Klebers 35a aus einem Epoxidharz mit einem Schmelzpunkt von z. B. ungefähr 120°C an die Oberfläche der zweiten Bauteilschicht 40 angeklebt (S36). Der Kleber 38 zwischen dem hinteren Trägersubstrat 37 und der zweiten Bauteilschicht 40 wird auf z. B. eine Temperatur von 110°C erwärmt und aufgeschmolzen. Gleichzeitig wird die genannte äußere Kraft auf das Trägeroberflächensubstrat 36 und das hintere Trägersubstrat 37 in der die beiden voneinander trennenden Richtung ausgeübt, und so wird das hintere Trägersubstrat 37 von der zweiten Bauteilschicht 40 abgezogen (S38), wie es in Fig. 8B dargestellt ist. So wird die in Fig. 8C dargestellte zweite Bauteileinheit 4 erhalten, bei der das Trägeroberflächensubstrat 36 die zweite Bauteilschicht 40 trägt.

#### Verfahren zum Verbinden der Bauteileinheiten 2 und 4

Die erste Bauteileinheit 2 und die zweite Bauteileinheit 4, die durch den oben beschriebenen Prozess hergestellt wurden, werden so miteinander verbunden, dass die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 einander zugewandt sind, wie es in Fig. 9A dargestellt ist (S40). Der Kleber 39 zum Verbinden der Bauteileinheiten 2 und 4 (siehe Fig. 9B) besteht z. B. aus Epoxidharz.

So wird, wie es in Fig. 9B dargestellt ist, das Dünnfilm-Bauteil 1 mit einer Struktur erhalten, bei der die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 aufeinander gestapelt sind. Das Dünnfilm-Bauteil 1 kann entweder nur vom Trägeroberflächensubstrat 36 oder nur vom hinteren Trägersubstrat 17 getragen werden. Im Ergebnis kann entweder das Trägeroberflächensubstrat 36 oder das hintere Trägersubstrat 17 abgezogen werden.

Die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 entsprechen einem speziellen Beispiel der "Bauteilschicht" bei der Erfindung. Das Trägeroberflächensubstrat 36 und das hintere Trägersubstrat 17 entsprechen speziellen Beispielen des "Trägersubstrats" und des "Verbindesubstrats" bei der Erfindung. Ferner entsprechen die erste Bauteileinheit 2 und die zweite Bauteileinheit 4 einem speziellen Beispiel der "Bauteileinheit" bei der Erfindung. Die Halbleitersubstrate 11 und 31 entsprechen einem speziellen

Beispiel des "Halbleitersubstrats" bei der Erfindung.

Die Fig. 10A und 10B veranschaulichen einen Herstellprozess für ein Dünnfilm-Bauteil mit Dreischichtstruktur. Bei der Herstellung eines derartigen Dünnfilm-Bauteils wird als Erstes, wie es in Fig. 10A dargestellt ist, das hintere Trägersubstrat 17 vom Dünnfilm-Bauteil 1 mit z. B. Zweischichtstruktur abgezogen, und der an der Rückseite des Dünnfilm-Bauteils 1 haftende Kleber 18 wird durch Ethylalkohol oder dergleichen entfernt. Wie es in Fig. 10B dargestellt ist, wird eine dritte Bauteileinheit 2-1 mit derselben Konfiguration wie der der ersten Bauteileinheit 2 (siehe Fig. 6B) mit der Rückseite des Dünnfilm-Bauteils 1, d. h. der Rückseite der ersten Bauteilschicht 20, verbunden. Die erste Bauteilschicht 20 und eine Bauteilschicht der dritten Bauteileinheit 2-1, die durch das Bezugszeichen 20-1 gekennzeichnet ist, werden so miteinander verbunden, dass sie einander zugewandt sind. So ist ein Dünnfilm-Bauteil mit Dreischichtstruktur erhalten. Ein Dünnfilm-Bauteil mit mehr als drei Schichten kann dadurch hergestellt werden, dass der oben beschriebene Prozess wiederholt wird, genauer gesagt, dass das hintere Trägersubstrat oder das vordere Trägersubstrat des Dünnfilm-Bauteils abgezogen wird und eine andere Bauteileinheit angeklebt wird. Die Art der aufeinander gestapelten Bauteilschichten kann unterschiedlich oder gleich sein.

Wie oben beschrieben, wird bei einem Verfahren zum Herstellen eines Dünnfilm-Bauteils gemäß dem ersten Ausführungsbeispiel das Dünnfilm-Bauteil 1 mit mehreren Bauteilschichten 20 und 40 dadurch hergestellt, dass die erste Bauteileinheit 2 und die zweite Bauteileinheit 4 miteinander verbunden werden. Im Ergebnis besteht für das Verfahren zum Herstellen der Bauteilschicht keine Einschränkung, was vom Stand der Technik verschieden ist, bei dem mehrere Bauteilschichten der Reihe nach hergestellt werden. Demgemäß kann zum Herstellen der Bauteilschicht ein schnell arbeitendes Abscheideverfahren verwendet werden. Dies ermöglicht es, den Durchsatz bei einem Herstellprozess für ein Dünnfilm-Bauteil zu erhöhen. Die verschiedenen Dünnfilm-Bauteile können auf einfache Weise dadurch hergestellt werden, dass die verschiedenen Bauteileinheiten mit den Bauteilschichten und den Trägersubstraten vorab hergestellt werden und diese abhängig von ihrer Verwendung miteinander verbunden werden. Wenn sich in den Bauteilschichten Fehler zeigen, werden keine Bauteileinheiten mit fehlerhaften Bauteilschichten angeklebt. Dadurch wird eine Vergeudung von Materialien verringert.

Außerdem werden die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 durch das Trägersubstrat 17 bzw. 36 in der ersten Bauteileinheit 2 bzw. der zweiten Bauteileinheit 4 gehalten. Im Ergebnis können eine dünne erste Bauteilschicht 20 und eine dünne zweite Bauteilschicht 40 mit z. B. ungefähr 1 µm Dicke miteinander verbunden werden. Ferner kann ein Dünnfilm-Bauteil mit mehr als zwei Schichten auf einfache Weise dadurch hergestellt werden, dass das hintere Trägersubstrat 17 oder das vordere Trägersubstrat 36 vom bereits hergestellten Dünnfilm-Bauteil 1 abgezogen wird und damit andere Bauteileinheiten verbunden werden.

#### Erste Modifizierung

Nun wird eine erste Modifizierung des vorliegenden Ausführungsbeispiels unter Bezugnahme auf Fig. 11 beschrieben, die die Form eines Trägeroberflächensubstrats 16A gemäß dieser Modifizierung zeigt. Das Trägeroberflächensubstrat 16A kann z. B. das Trägeroberflächensubstrat 16 (siehe Fig. 5A) ersetzen. Im gesamten Trägeroberflächensubstrat 16A sind viele Löcher 160 so ausgebildet, dass sie dessen

Oberfläche und Rückseite durchdringen. Auf die gesamte Klebefläche des Trägeroberflächensubstrats 16A (unten in Fig. 11) wird ein Kleber 15A aufgetragen, der sich in einem speziellen Flussmittel wie Aceton löst, und es wird Kleber 15A auf das Trägeroberflächensubstrat 16A und die Oberfläche der ersten Bauteilschicht 20 aufgetragen (siehe Fig. 5A).

Beim Abziehen des Trägeroberflächensubstrats 16A von der ersten Bauteilschicht 20 wird durch Anwenden eines Flussmittels wie Aceton auf die Fläche des Trägeroberflächensubstrats 16A, die von der Seite des Klebers 15A abgewandt ist, der Kleber 15A dadurch gelöst, dass das Flussmittel durch die Löcher 16 hindurch, durch den Kapillareffekt oder dergleichen, dorthin gelangt. Die in der gesamten Fläche des Trägeroberflächensubstrats 16A ausgebildeten Löcher 160 ermöglichen es, das Flussmittel in gleichmäßiger Weise auf die gesamte Fläche des Klebers 15A anzuwenden, wodurch dieser Kleber 15A wirkungsvoll gelöst werden kann. Dies ermöglicht es, das Trägeroberflächensubstrat 16A mit einer kleinen äußeren Kraft von der ersten Bauteilschicht 20 abziehen. Die in Fig. 11 dargestellte Struktur des Trägeroberflächensubstrats 16A ist beim hinteren Trägersubstrat 17 der ersten Bauteileinheit 2 (siehe Fig. 5C) und beim Trägeroberflächensubstrat 36 und beim hinteren Trägersubstrat 37 der zweiten Bauteileinheit 4 (siehe Fig. 8A) anwendbar.

#### Zweite Modifizierung

Nun wird unter Bezugnahme auf Fig. 12, die die Form eines Trägeroberflächensubstrats 16B der zweiten Modifizierung zeigt, dieselbe beschrieben. Das Trägeroberflächensubstrat 16B kann z. B. das Trägeroberflächensubstrat 16 (siehe Fig. 5A) ersetzen. Auf die Klebefläche des Trägeroberflächensubstrats 16B (Unterseite in Fig. 12) wird ein sich in einem speziellen Flussmittel wie Aceton lösender Kleber 15B verstreut aufgetragen, und der Kleber 15 verbindet das Trägeroberflächensubstrat 16B mit der Oberfläche der ersten Bauteilschicht 20 (siehe Fig. 5A).

Beim Abziehen des Trägeroberflächensubstrats 16B von der ersten Bauteilschicht 20 wird das Flussmittel wie Aceton in den Raum zwischen dem Trägeroberflächensubstrat 16B und der ersten Bauteilschicht 20 gebracht. Der unregelmäßige Raum des Klebers 15B innerhalb der Kleberfläche des Trägeroberflächensubstrats 16B vereinfacht es, dass das Flussmittel den gesamten Kleber 15B erreichen kann. Im Ergebnis kann der Kleber 15B schnell aufgelöst werden, weswegen das Trägeroberflächensubstrat 16B mit einer kleinen äußeren Kraft von der ersten Bauteilschicht 20 abgezogen werden kann. Der in Fig. 12B dargestellte Aufbau des Trägeroberflächensubstrats 16B ist beim hinteren Trägersubstrat 17 (siehe Fig. 5C), beim vorderen Trägersubstrat 36 und beim hinteren Trägersubstrat 37 (siehe Fig. 8A) anwendbar.

#### Dritte Modifizierung

Nun wird unter Bezugnahme auf Fig. 13, die die Form eines Trägeroberflächensubstrats 16C gemäß dieser Modifizierung zeigt, dieselbe beschrieben. Das Trägeroberflächensubstrat 16C kann z. B. das Trägeroberflächensubstrat 16 (siehe Fig. 5A) ersetzen. Das Trägeroberflächensubstrat 16 besteht z. B. aus einem netzförmigen Gewebe aus dünnem rostfreiem Stahl. In diesem Fall wird das Trägeroberflächensubstrat 16C vorab mit Wasser imprägniert und unmittelbar auf der ersten Bauteilschicht 20 (siehe Fig. 5A) positioniert. Danach wird das gesamte Bauteil auf eine Temperatur von z. B. ungefähr  $-2^{\circ}\text{C}$  gekühlt. Das in das Trägeroberflächen-

substrat 16C imprägnierte Wasser wird Eis, also fest, und daher haftet das Trägeroberflächensubstrat 16C durch die Adhäsionskraft des Eises an der ersten Bauteilschicht 20 an.

Nach dem Verbinden des Trägeroberflächensubstrats 16C mit der ersten Bauteilschicht 20 wird das Bauteil unter Verwendung von flüssigem Stickstoff oder dergleichen weiter abgekühlt. Dadurch wird das Volumen durch weiteres Verfestigen des Trägeroberflächensubstrats 16C verringert. Wenn sich das Trägeroberflächensubstrat 16C zusammengezogen hat, verändert sich die erste Bauteilschicht 20 entsprechend, da ihre Dicke extrem gering ist. Jedoch ändert sich das Halbleitersubstrat 11 (siehe Fig. 5A) nicht. Im Ergebnis wird die poröse Schicht 12 zwischen der ersten Bauteilschicht 20 und dem Halbleitersubstrat 11 zerstört und abgezogen. Ferner wird die Haftung des Eises zwischen dem Trägeroberflächensubstrat 16C und der ersten Bauteilschicht 20 dadurch zerstört, dass das Trägeroberflächensubstrat 16C auf z. B.  $20^{\circ}\text{C}$  erwärmt wird. Daher kann es von der ersten Bauteilschicht 20 abgezogen werden.

Gemäß dieser Modifizierung wird das Trägeroberflächensubstrat 16C unter Verwendung von Wasser mit der ersten Bauteilschicht 20 verbunden. Im Ergebnis ist es möglich, das Trägeroberflächensubstrat 16C nur mittels Temperaturregulation mit der ersten Bauteilschicht 20 zu verbinden und eine Abtrennung vom Halbleitersubstrat 11 zu bewerkstelligen. Die in Fig. 13 dargestellte Struktur des Trägeroberflächensubstrats 16C ist beim hinteren Trägersubstrat 17 (siehe Fig. 5C), beim Trägeroberflächensubstrat 36 und beim hinteren Trägersubstrat 37 (siehe Fig. 8A) anwendbar. Für das Material des Trägeroberflächensubstrats 16C besteht keine Beschränkung auf ein Gewebe, sondern es kann ein Material verwendet werden, in das eine Flüssigkeit imprägniert werden kann, wie z. B. Papier.

#### Vierte Modifizierung

Nun wird unter Bezugnahme auf die Fig. 5A eine vierte Modifizierung beschrieben. Bei dieser Modifizierung wird als Kleber 15 zum Verbinden des Trägeroberflächensubstrats 16 mit der ersten Bauteilschicht 20 ein in Wasser löslicher Kleber wie eine Paste verwendet. Das Reinigen der Oberfläche der ersten Bauteilschicht 20 ist nach dem Abziehen des Trägeroberflächensubstrats 16 von ihr einfacher, da die Paste durch reines Wasser entfernt werden kann. Jedoch ist das Anhaften der Paste relativ schwach. Im Ergebnis wird beim Abziehen der ersten Bauteilschicht 20 vom Halbleitersubstrat 11 ein Verfahren verwendet, das die Ausübung einer sehr kleinen äußeren Kraft auf das Trägeroberflächensubstrat 16 und die erste Bauteilschicht 20 erfordert, wobei die poröse Schicht 12 in Alkohol durch z. B. Ultraschall zerstört wird.

#### Fünfte Modifizierung

Unter Bezugnahme auf die Fig. 5A wird nun eine fünfte Modifizierung beschrieben. Bei dieser Modifizierung wird ein Kleber mit hoher Haftfestigkeit bei Raumtemperatur (z. B.  $20^{\circ}\text{C}$ ) und niedriger Haftfestigkeit bei hoher Temperatur verwendet, um das Trägeroberflächensubstrat 16 mit der ersten Bauteilschicht 20 zu verbinden. Ein Beispiel für einen derartigen Kleber ist der temperaturempfindliche Kleber Intelimer (Handelsbezeichnung; Nitta Corporation), der von Landec Corporation in den USA entwickelt wurde. Dieser Kleber zeigt bei Raumtemperatur hohes Haftvermögen (z. B. 30 g/mm); jedoch ist das Haftvermögen bei einer Temperatur von  $50^{\circ}\text{C}$  oder mehr auf ein Zehntel oder weniger verringert (z. B. 3 g/mm bei einer Temperatur von  $60^{\circ}\text{C}$ ).



Wenn dieser Kleber verwendet wird, wird das Trägeroberflächensubstrat 16 bei Raumtemperatur, d. h. dann, wenn der Kleber hohe Haftfestigkeit zeigt, mit der ersten Bauteilschicht 20 verbunden. Andererseits wird das Trägeroberflächensubstrat 16 bei einer Temperatur von 60°C, bei der die Haftfestigkeit verringert ist, von der ersten Bauteilschicht 20 abgezogen. So ist es einfach, das Trägeroberflächensubstrat mittels Temperatursteuerung in einem relativ engen Temperaturbereich an die erste Bauteilschicht anzukleben und es von ihr zu trennen.

#### Sechste Modifizierung

Nun wird die sechste Modifizierung unter Bezugnahme auf Fig. 5A beschrieben. Bei dieser Modifizierung wird Wachs mit einem Erweichungspunkt von z. B. 49°C als Kleber 15 zum Verbinden des Trägeroberflächensubstrats 16 mit der ersten Bauteilschicht 20 verwendet. Das Wachs wird zum Ankleben mindestens auf seinen Erweichungspunkt erwärmt. Nach dem Verbindungsvorgang härtet das Wachs aus, wenn die Temperatur auf z. B. Raumtemperatur gesenkt wird, und daher wird das Trägeroberflächensubstrat 16 fest mit der ersten Bauteilschicht 20 verbunden. Beim Abziehen wird das Wachs mindestens auf seinen Erweichungspunkt wiedererwärmt, um sein Haftvermögen zu verringern. Dies macht es einfach, das Trägeroberflächensubstrat 16 von der ersten Bauteilschicht 20 abzuziehen.

Als Wachs wird natürliches Colophoniumwachs, festes Wachs in Form von Kunstharz oder dergleichen verwendet. Wenn der später beschriebene Prozess des Abziehens des Trägeroberflächensubstrats 16 von der ersten Bauteilschicht 20 in Betracht gezogen wird, ist ein wasserlösliches Wachs mit relativ niedrigem Erweichungspunkt wünschenswert.

#### Siebte Modifizierung

Nun wird die siebte Modifizierung unter Bezugnahme auf Fig. 5A beschrieben. Bei dieser Modifizierung kann als Kleber 15 zum Verbinden des Trägeroberflächensubstrats 16 mit der ersten Bauteilschicht 20 ein Klebeband mit aufgetragenem Kleber, dessen Haftvermögen durch Ultraviolettstrahlung gesenkt wird, verwendet werden. Beispiele für derartige Klebebänder sind das BG-Schutzband E-2142 (Handelsbezeichnung) mit UV-Aushärtung, das Trennband D-210 (Handelsbezeichnung) mit UV-Aushärtung, entwickelt von Lintec Corporation usw. Beim Abziehen wird Ultraviolettstrahlung auf das Klebeband gestrahlt, um sein Haftvermögen zu schwächen. Dies macht es einfach, das Trägeroberflächensubstrat 16 von der ersten Bauteilschicht 20 abzuziehen.

#### Zweites Ausführungsbeispiel

Um das zweite Ausführungsbeispiel der Erfindung zu beschreiben, wird nun auf die Fig. 14 und 15A bis 15C Bezug genommen. Bei diesem Ausführungsbeispiel wird eine erste Bauteileinheit 2A mit einer zweiten Bauteileinheit 4 verbunden. Die zweite Bauteileinheit 4 hat dieselbe Konfiguration wie beim ersten Ausführungsbeispiel. Andererseits wird die erste Bauteileinheit 2A dadurch hergestellt, dass die erste Bauteilschicht 20 auf dem Halbleitersubstrat 11 mit anderer Struktur als beim ersten Ausführungsbeispiel hergestellt wird. Dieselben Komponenten wie beim ersten Ausführungsbeispiel werden mit denselben Bezugszeichen benannt, und die zugehörige Beschreibung wird weggelassen.

Fig. 14 ist ein Flussdiagramm zum Veranschaulichen eines Verfahrens zum Herstellen einer Bauteilschicht gemäß einem zweiten Ausführungsbeispiel, und die Fig. 15A bis

15C sind Schnittansichten zum Veranschaulichen jedes Schritts des Herstellverfahrens gemäß Fig. 14. Als Erstes wird die erste Bauteileinheit 2A mit Schritten S10 bis S16 wie beim ersten Ausführungsbeispiel hergestellt. Genauer gesagt, wird die poröse Schicht 12 auf der Oberfläche des Halbleitersubstrats 11 hergestellt (S10), und dann wird darauf die Halbleiterschicht 13 hergestellt (S11). Auf dieser Halbleiterschicht 13 wird die erste Bauteilschicht 20 hergestellt (S12). Jedoch werden die Schritte S14 bis S21 beim ersten Ausführungsbeispiel nicht ausgeführt, gemäß denen das Trägeroberflächensubstrat 16 mit der ersten Bauteilschicht 20 und dergleichen verbunden wird. Vielmehr wird auf der Oberfläche der ersten Bauteilschicht 20 ein Lötmitel-Kontakthöcker hergestellt (S13). So wird die erste Bauteileinheit 2A erhalten, bei der das Halbleitersubstrat 11 die erste Bauteilschicht 20 bedeckt.

Anschließend wird die zweite Bauteileinheit 4 gemäß den Schritten S22 bis S38 beim ersten Ausführungsbeispiel hergestellt.

Wie es in Fig. 15A dargestellt ist, werden die ersten Bauteileinheit 2A und die zweite Bauteileinheit 4 so aneinander befestigt, dass die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 einander zugewandt sind (S50). Der Kleber 39 zum Befestigen der Bauteileinheiten 2A und 4 besteht z. B. aus Epoxidharz. So wird eine Struktur erhalten, bei der die Bauteilschichten 20 und 40 auf das Halbleitersubstrat 11 aufgestapelt sind.

Wie es in Fig. 15B dargestellt ist, wird die erste Bauteilschicht 20 gemeinsam mit der zweiten Bauteilschicht 40 und dem Trägeroberflächensubstrat 36 vom Halbleitersubstrat 11 abgezogen (S52). Wie beim ersten Ausführungsbeispiel können zum Abziehen drei Verfahren verwendet werden. Eines besteht im Ausüben einer externen Kraft auf das Trägeroberflächensubstrat 36 und das Halbleitersubstrat 11 in der die beiden trennenden Richtung. Das zweite besteht im Schwächen der Festigkeit der porösen Schicht 12 durch Eintauchen des Halbleitersubstrats 11 in eine Lösung, wie eine solche von Wasser und Alkohol, und durch Einstrahlen von Ultraschall. Das dritte besteht im Schwächen der Festigkeit der porösen Schicht 12 durch Ausüben einer Zentrifugalkraft auf das Halbleitersubstrat 11.

Wie es in Fig. 15C dargestellt ist, wird das hintere Träger-substrat 17 mit einem Kleber 18 aus z. B. Epoxidharz auf die Rückseite der ersten Bauteilschicht 20 geklebt, nachdem der an der Rückseite der ersten Bauteilschicht 20 anhaftende Rest der porösen Schicht 17 durch Ätzen entfernt wurde (S54). So wird ein Dünnfilm-Bauteil erhalten, bei dem die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 aufeinander gestapelt sind.

Das Trägeroberflächensubstrat 36 und das Halbleitersubstrat 11 entsprechen einem speziellen Beispiel des "Träger-substrats" bei der Erfindung. Die erste Bauteileinheit 2A und die zweite Bauteileinheit 4 entsprechen einem speziellen Beispiel der "Bauteileinheit" bei der Erfindung.

Beim oben beschriebenen zweiten Ausführungsbeispiel verfügt die Bauteileinheit 2A über die erste Bauteilschicht 20 und das Halbleitersubstrat 11, wobei die Schicht vom Halbleitersubstrat 11 abgezogen wird, nachdem die erste Bauteileinheit 2A mit der zweiten Bauteileinheit 4 verbunden wurde. Im Ergebnis ist es nicht erforderlich, das Trägeroberflächensubstrat an die erste Bauteilschicht 20 anzukleben. Im Vergleich mit dem ersten Ausführungsbeispiel werden im Herstellprozess weniger Materialien verwendet.

#### Erste Modifizierung

Nun wird eine erste Modifizierung des zweiten Ausführungsbeispiels unter Bezugnahme auf Fig. 16 erläutert, die



ein Flussdiagramm zum Veranschaulichen einer Modifizierung eines Verfahrens zum Herstellen einer Bauteilschicht gemäß dem zweiten Ausführungsbeispiel ist. Bei der Modifizierung wird die erste Bauteilschicht 20 auf der Oberfläche des Halbleitersubstrats 11 ohne eingefügte poröse Schicht 12 hergestellt (S12), wenn die erste Bauteileinheit 2A hergestellt wird. Auf der Oberfläche der ersten Bauteilschicht 20 wird wie beim zweiten Ausführungsbeispiel der Lötmittel-Kontakthöcker hergestellt (S13), wodurch die erste Bauteileinheit 2A erhalten wird. Die zweite Bauteileinheit 4 wird gemäß den Schritten S22 bis S38 beim zweiten Ausführungsbeispiel hergestellt.

Ähnlich wie beim zweiten Ausführungsbeispiel werden die erste Bauteileinheit 2A und die zweite Bauteileinheit 4 so miteinander verbunden, dass die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 miteinander verbunden sind (S50). Die erste Bauteileinheit 2A und die zweite Bauteileinheit 4 werden vom Halbleitersubstrat 11 abgezogen, was unterschiedlich vom zweiten Ausführungsbeispiel ist. So wird ein Dünnschicht-Bauteil mit einer Struktur erhalten, bei der die Bauteilschichten 20 und 40 auf das Halbleitersubstrat 11 aufgestapelt sind.

Gemäß dieser Modifizierung ist es einfacher, das Bauteil herzustellen, da die erste Bauteilschicht 20 wie bei einem üblichen Verfahren auf der Halbleiterschicht 11 hergestellt wird.

#### Zweite Modifizierung

Nun wird unter Bezugnahme auf die Fig. 17A und 17B eine zweite Modifizierung des zweiten Ausführungsbeispiels beschrieben. Diese Figuren zeigen ein Halbleitersubstrat 11A bzw. ein Trägeroberflächensubstrat 36A gemäß der zweiten Modifizierung. Wie es in Fig. 17A dargestellt ist, wird das Halbleitersubstrat 11A relativ groß hergestellt, so dass auf ihm mehrere erste Bauteilschichten 20 (z. B. 90 Schichten) hergestellt werden können. Wie es in Fig. 17B dargestellt ist, verfügt das Trägeroberflächensubstrat 36A über beinahe dieselbe Größe wie das Halbleitersubstrat 11A, und mit seiner Rückseite können mehrere zweite Bauteilschichten 40 (z. B. 90 Schichten) verbunden werden. Die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 weisen dieselbe Fläche auf. Jede Position der ersten Bauteilschicht 20 auf dem Halbleitersubstrat 11A stimmt mit einer jeweiligen Position der zweiten Bauteilschicht 40 überein, die mit dem Trägeroberflächensubstrat 36A verbunden ist.

Gemäß dieser Modifizierung werden mehrere Stapel aus ersten Bauteilschichten 20 und zweiten Bauteilschichten 40 (z. B. 90 Stapel) hergestellt, wenn das Halbleitersubstrat 11A so mit dem Trägeroberflächensubstrat 36A verbunden wird, dass sie einander überlappen. Die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 werden mittels des nicht dargestellten Lötmittel-Kontakthöckers elektrisch miteinander verbunden. Wenn das Halbleitersubstrat 11A und das Trägeroberflächensubstrat 36A zum Trennen benachbarter Stapel durchgeschnitten werden, werden dadurch mehrere Dünnschichtbauteile 1 (z. B. 90 Bauteile) mit jeweils einer ersten Bauteilschicht 20 und einer zweiten Bauteilschicht 40 hergestellt. Anders gesagt, werden gemäß dieser Modifizierung durch ein einfaches Verfahren viele Dünnschicht-Bauteile 1 hergestellt.

#### Dritte Modifizierung

Unter Bezugnahme auf die Fig. 18A und 18B wird nun eine dritte Modifizierung des zweiten Ausführungsbeispiels beschrieben. Die Fig. 18A und 18B zeigen ein Halbleitersubstrat 11B bzw. ein Trägeroberflächensubstrat 36B. Ähn-

lich wie bei der zweiten Modifizierung sind auf dem Halbleitersubstrat 11B mehrere erste Bauteilschichten 20 ausgebildet (siehe Fig. 18A), und mit dem Trägeroberflächensubstrat 36B sind mehrere zweite Bauteilschichten 40A verbunden (siehe Fig. 18B). Während bei der oben genannten zweiten Modifizierung die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 jeweils dieselbe Fläche aufweisen, ist bei dieser Modifizierung die zweite Bauteilschicht 40A größer als die erste Bauteilschicht 20. Wenn in diesem Fall die erste Bauteilschicht 20 mit der zweiten Bauteilschicht 40A verbunden ist, erstreckt sich der Rand der zweiten Bauteilschicht 40A über den der ersten Bauteilschicht 20 hinaus, wie es in Fig. 19 dargestellt ist. Im Ergebnis ist am Rand der ersten Bauteilschicht 20 und am erweiterten Rand der zweiten Bauteilschicht 40A ein Drahtbonds möglich, wie durch W in Fig. 19 gekennzeichnet.

Gemäß dieser Modifizierung ist es nicht erforderlich, beim Verbinden der ersten Bauteilschicht 20 mit der zweiten Bauteilschicht 40A den Lötmittel-Kontakthöcker zu verwenden. Dadurch ist ein einfacher Verbindungsvorgang möglich. Die erste Bauteilschicht 20 kann, umgekehrt zur Darstellung gemäß den Fig. 18A und 18B, größer als die zweite Bauteilschicht 40A hergestellt werden.

#### [Drittes Ausführungsbeispiel]

Unter Bezugnahme auf die Fig. 20 sowie 22A und 22B wird nun ein drittes Ausführungsbeispiel der Erfindung beschrieben. Bei diesem Ausführungsbeispiel werden die Bauteilschichten auf der Vorder- und der Rückseite einer Halbleiterschicht hergestellt. Fig. 20 ist ein Flussdiagramm zum Veranschaulichen dieses Verfahrens zum Herstellen einer Bauteilschicht gemäß dem dritten Ausführungsbeispiel, und die Fig. 21A bis 21D sind Schnittansichten zum Veranschaulichen jedes Schritts des Herstellverfahrens gemäß Fig. 20. Es erfolgt nur eine Beschreibung zu Punkten, die von solchen des ersten und zweiten Ausführungsbeispiels verschieden sind, so dass betreffend die übereinstimmenden Punkte auf die vorige Beschreibung Bezug zu nehmen ist.

Wie es in Fig. 21A dargestellt ist, wird die poröse Schicht 12 auf der Oberfläche des Halbleitersubstrats 11 hergestellt, die wie beim ersten Ausführungsbeispiel durch Anodisieren ausgebildet wurde (S70). Auf der porösen Schicht 12 wird die Halbleiterschicht 13 durch epitaktisches Wachstum hergestellt (S72). Wie es in Fig. 21B dargestellt ist, wird in der Halbleiterschicht 13 durch Ionimplantation durch dasselbe Verfahren wie z. B. beim Herstellen eines SIMOX (Separation by Implanted Oxygen)-Wafers eine Isolierschicht 130 aus isolierendem Material ausgebildet (S74). Wie es in Fig. 21C dargestellt ist, wird auf der Halbleiterschicht 13 die erste Bauteilschicht 20 mit derselben Struktur wie beim ersten Ausführungsbeispiel hergestellt (S76). Die Beschreibung der Konfiguration der ersten Bauteilschicht 20 wird weggelassen.

Wie es in Fig. 21D dargestellt ist, wird das Trägeroberflächensubstrat aus z. B. einem wärmebeständigen Kunststoff oder Glas mit dem Kleber 15 aus z. B. Epoxidharz, oder durch Aufschmelzen von Glas, mit der Oberfläche der ersten Bauteilschicht 20 verbunden (S78). Als Nächstes wird das Trägeroberflächensubstrat 16 gemeinsam mit der ersten Bauteilschicht 20 vom Halbleitersubstrat 11 abgezogen (S80). Zum Abziehen können drei Verfahren verwendet werden. Eines besteht im Ausüben einer externen Kraft auf das Trägeroberflächensubstrat 16 und das Halbleitersubstrat 11 in der die beiden trennenden Richtung. Das zweite besteht im Schwächen der Festigkeit der porösen Schicht 12 durch Eintauchen des Halbleitersubstrats 11 in eine Lösung, wie eine solche von Wasser und Ethanol, und Einstrahlen

von Ultraschall. Das dritte besteht im Schwächen der Festigkeit der porösen Schicht 12 durch Ausüben einer Zentrifugalkraft auf das Halbleitersubstrat 11.

Wie es in Fig. 22A dargestellt ist, wird der Rest der an der Rückseite der Halbleiterschicht 13 anhaftenden porösen Schicht 12 durch Ätzen oder dergleichen entfernt. Wie es in Fig. 22B dargestellt ist, wird auf der Rückseite der Halbleiterschicht 13 eine zweite Bauteilschicht 40 mit derselben Struktur wie beim ersten Ausführungsbeispiel hergestellt (S82). So wird ein Dünnschicht-Bauteil 1 hergestellt, bei dem die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 an der Rückseite des Halbleitersubstrats 11 ausgebildet sind.

Die Halbleiterschicht 13 entspricht einem speziellen Beispiel der "Halbleiterschicht" bei der Erfindung, und die innere Isolierschicht 130 entspricht einem speziellen Beispiel der "inneren Isolierschicht" bei der Erfindung. Außerdem entsprechen die erste Bauteilschicht 20 und die zweite Bauteilschicht 40 speziellen Beispielen der "ersten Bauteilschicht" bzw. der "zweiten Bauteilschicht" bei der Erfindung.

Gemäß diesem Ausführungsbeispiel verfügt die Halbleiterschicht 13 über die Bauteilschicht 20 an ihrer Vorderseite und die Bauteilschicht 40 an ihrer Rückseite. Im Ergebnis ist es einfach, ein Dünnschicht-Bauteil mit Mehrschichtstruktur herzustellen. Die Bauteilschichten 20 und 40 sind durch die innerhalb der Halbleiterschicht 13 vorhandene interne Isolierschicht 130 elektrisch gegeneinander isoliert.

#### [Viertes Ausführungsbeispiel]

Nun wird unter Bezugnahme auf die Fig. 23A bis 23D bis 27A und 27B ein viertes Ausführungsbeispiel der Erfindung beschrieben. Beim Dünnschicht-Bauteil gemäß diesem vierten Ausführungsbeispiel sind eine Fotodiode und eine Laserdiode integriert.

Die Fig. 23A bis 23D sind Schnittansichten zum Veranschaulichen jedes Schritts eines Herstellungsverfahrens für eine Fotodiode 50. Wie es in Fig. 23A dargestellt ist, wird als Halbleitersubstrat 51 z. B. ein einkristallines  $p^+$ -Siliciumsubstrat mit einem spezifischen Widerstand von ungefähr  $0,01 \Omega \cdot \text{cm}$  verwendet. Auf der Vorderseite des Halbleitersubstrats 51 wird durch Anodisieren wie beim ersten Ausführungsbeispiel eine poröse Schicht 52 hergestellt. Anschließend erfolgt Tempern in Wasserstoff für z. B. 30 Minuten bei einer Temperatur von  $1100^\circ\text{C}$ , um dadurch Löcher in der Oberfläche der porösen Schicht 52 auszufüllen. Dann wird bei einer Temperatur von  $1070^\circ\text{C}$  unter Verwendung eines Gases wie  $\text{SiH}_4$  (Silan) einkristallines Silizium epitaktisch auf die poröse Schicht 52 aufgewachsen, wodurch eine Halbleiterschicht 53 mit einer Dicke von z. B.  $10 \mu\text{m}$  ausgebildet wird. Wie es in Fig. 23B dargestellt ist, wird durch Implantieren eines n-Fremdstoffs wie Phosphor (P) in die Halbleiterschicht 53 ein n-Gebiet 53a ausgebildet. Ein p-Gebiet 53b wird durch Implantieren eines p-Fremdstoffs wie Bor (B) in die Oberfläche der Halbleiterschicht 53 durch ein vorbestimmtes Muster hindurch (nicht dargestellt) ausgebildet.

Auf dem p-Gebiet 53b wird eine Schutzschicht 54 aus transparentem Epoxidharz hergestellt, und darauf wird eine Elektrodenschicht 55 aus Metall mit vorbestimmtem Muster hergestellt. Die Elektrodenschicht 55 steht durch ein Kontaktloch in der Schutzschicht 54 in Kontakt mit der Oberfläche des p-Gebiets 53b. Wie es in Fig. 23C dargestellt ist, wird auf der Schutzschicht 54c ein Trägeroberflächensubstrat 57 aus einem Kunststofffilm durch einen Kleber 56 befestigt, dessen Haftvermögen durch Abkühlen auf eine niedrige Temperatur, z. B. bis unter die Raumtemperatur, gesenkt wird. Ein spezielles Beispiel für einen derartigen Kle-

ber ist der temperaturempfindliche, von Landec Corporation, USA entwickelte Kleber Intelimer (Handelsbezeichnung Nitta Corporation) vom Abkühltyp.

Wie es in Fig. 23D dargestellt ist, werden das Trägeroberflächensubstrat 57 und das Halbleitersubstrat 53 vom Halbleitersubstrat 51 abgezogen. Zum Abziehen werden z. B. drei Verfahren, ähnlich wie beim ersten Ausführungsbeispiel, verwendet. Eines besteht im Ausüben einer Zugspannung zwischen dem Trägeroberflächensubstrat 57 und dem Halbleitersubstrat 51. Das zweite besteht in einem Schwächen der Festigkeit der porösen Schicht 52 durch Eintauchen des Halbleitersubstrats 51 in eine Lösung, wie eine solche mit Wasser, und Einstrahlen von Ultraschall. Das dritte besteht im Schwächen der Festigkeit der porösen Schicht 52 durch Ausüben einer Zentrifugalkraft auf das Halbleitersubstrat 51. Der an der Rückseite der Halbleiterschicht 53 anhaftende Rest der porösen Schicht 52 wird durch Ätzen mit einem wässrigen Lösungsgemisch von Fluorwasserstoffsäure, Salpetersäure und Essigsäure entfernt.

Wie es in Fig. 24A dargestellt ist, wird auf der gesamten Rückseite der Halbleiterschicht 53 eine Rückseitenelektrode 58, die als Wärmeabstrahlungsplatte aus Metall dient, durch z. B. Abscheiden hergestellt. Am Trägeroberflächensubstrat 57 wird durch einen Kleber 60 mit Haftvermögen bei Raumtemperatur, z. B. Epoxidharz, ein hinteres Trägersubstrat 59 in Form eines Kunststofffilms befestigt. Das Trägeroberflächensubstrat 57 wird auf eine Temperatur von z. B.  $5^\circ\text{C}$  abgekühlt, um das Haftvermögen des Klebers 60 zu senken, und es wird von der Halbleiterschicht 53 abgezogen. Auf der Oberfläche der Elektrodenschicht 55 wird ein Lötmetall-Kontakthöcker 61 hergestellt. So wird eine erste Bauteileinheit 5 hergestellt, bei der das hintere Trägersubstrat 59 die Fotodiode 50 trägt.

Die Fig. 25A bis 25E sowie 26A bis 26E sind Schnittansichten zum Beschreiben jedes Schritts eines Verfahrens zum Herstellen einer Laserdiode 80. Es wird ein Halbleitersubstrat 71 aus n-Indiumphosphid (InP) mit implantiertem Schwefel (S) oder Zinn (Sn) verwendet. Auf der Oberfläche des Halbleitersubstrats 71 wird eine poröse Schicht 72 durch Anodisieren, wie beim ersten Ausführungsbeispiel, hergestellt. Wie es in Fig. 25A dargestellt ist, wird auf die poröse Schicht 72 eine Halbleiterschicht 73 aus n-InP epitaktisch aufgewachsen. Wie es in Fig. 25B dargestellt ist, wird auf die Halbleiterschicht 73 eine aktive Schicht 71 aus p-InGaAsP epitaktisch aufgewachsen. Auf einem vorbestimmten Teil der aktiven Schicht 81 wird eine Maske 82 aus  $\text{SiO}_2$  hergestellt. Wie es in Fig. 25C dargestellt ist, werden die aktive Schicht 81 und die Halbleiterschicht 73 unter Verwendung der Maske 82 durch RIE (reaktives Ionenätzen) geätzt.

Nach dem Entfernen der Maske 82 werden, wie es in Fig. 25D dargestellt ist, eine einen p-Fremdstoff enthaltende InP-Schicht (nachfolgend als p-Schicht bezeichnet) 86 und eine einen n-Fremdstoff enthaltende InP-Schicht (nachfolgend als n-Schicht bezeichnet) 87 epitaktisch in dieser Reihenfolge auf das Halbleitersubstrat 73 aufgewachsen. Auf der n-Schicht 87 wird eine einen p-Fremdstoff enthaltende p-Schicht 83 aus InP hergestellt. Auf der p-Schicht 83 wird eine Deckschicht 84 aus einem p-Fremdstoff enthaltendem InGaAsP angeordnet, worauf eine Elektrodenschicht 85 aus Metall hergestellt wird.

Wie es in Fig. 25E dargestellt ist, wird auf der p-Schicht 83 ein erster Reflektor 88 hergestellt. Dieser Reflektor 88 wird dadurch ausgebildet, dass sechs bis zehn Schichten eines dielektrischen Dünnschichts, z. B. aus amorphem Silicium,  $\text{Si}_3\text{N}_4$  und  $\text{MgO}$  (Magnesiumoxid), aufgestapelt werden. Diese dielektrischen Filme werden durch Abscheidung hergestellt. Wie es in Fig. 26A dargestellt ist, wird ein Trägeroberflächensubstrat 76 in Form eines Kunststofffilms mit ei-

nem Kleber 75, dessen Haftvermögen durch Abkühlen auf die Raumtemperatur und diese gesenkt wird, an die Oberflächen des ersten Reflektors 88 und der Elektroden-schicht 85 geklebt.

Wie es in Fig. 26B dargestellt ist, werden das Trägeroberflächensubstrat 76 und das Halbleitersubstrat 73 vom Halbleitersubstrat 71 abgezogen. Das Verfahren zum Abziehen ist dasselbe wie das für die Fotodiode 50 in Fig. 23D. Nach dem Abziehen wird der an der Rückseite der Halbleiterschicht 73 anhaftende Rest der porösen Schicht 72 durch Ätzen mit einem wässrigen Lösungsgemisch aus Fluorwasserstoffsäure, Salpetersäure und Essigsäure entfernt. Wie es in Fig. 28C dargestellt ist, wird auf der Rückseite des Halbleitersubstrats 73 eine Elektroden-schicht 89 aus Metall mit vorbestimmtem Muster hergestellt. Wie es in Fig. 26D dargestellt ist, wird das Halbleitersubstrat 73 unter Verwendung der Elektroden-schicht 89 als Maske von seiner Rückseite her geätzt, und in einem durch den Ätzprozess ausgebildeten Loch 73a wird ein zweiter Reflektor 90 hergestellt.

Dieser zweite Reflektor 90 wird dadurch hergestellt, dass z. B. sechs bis zehn Schichten dielektrischer Dünnschichten, wie aus amorphem Silicium SiO oder MgO, aufgestapelt werden. Jeder dielektrische Dünnschicht wird durch Abscheiden hergestellt. Der zweite Reflektor 90 ist ein Licht emittierender Spiegel, wie später beschrieben, und sein Reflexionsvermögen ist kleiner als das des ersten Reflektors 88.

Wie es in Fig. 26E dargestellt ist, wird an der Rückseite der Halbleiterschicht 73 ein hinteres Trägersubstrat 77 in Form eines Kunststofffilms so befestigt, dass es den zweiten Reflektor 90 und die Elektroden-schicht 89 bedeckt. Das Haftvermögen eines Klebers 78 zum Befestigen der Halbleiterschicht 73 am hinteren Trägersubstrat 77 wird beim Abkühlen desselben auf die Raumtemperatur und darunter gesenkt. Das Trägeroberflächensubstrat 76 wird dann durch Abkühlen desselben auf eine Temperatur von z. B. 5°C, wobei das Haftvermögen des Klebers 75 verringert ist, von der Halbleiterschicht 73 getrennt. So wird die Laserdiode 80 ausgebildet, und es wird die zweite Bauteileinheit 8 ausgebildet, bei der das hintere Trägersubstrat 77 die Laserdiode 80 trägt. Die Laserdiode 80 mit dieser Struktur wird als Oberflächen emittierende Laserdiode bezeichnet, die Licht rechtwinklig zum Reflektor emittiert.

Die Fotodiode 50 und die Laserdiode 80 entsprechen einem speziellen Beispiel der "Bauteilschicht" bei der Erfindung, und die hinteren Trägersubstrate 59 und 77 entsprechen einem speziellen Beispiel des "Trägersubstrats" bei der Erfindung. Ferner entspricht die Laserdiode 80 einem speziellen Beispiel der "Licht emittierenden Bauteilschicht" bei der Erfindung und die Fotodiode 50 entspricht einem speziellen Beispiel der "Fotodetektor-Bauteilschicht" bei der Erfindung.

Die Fig. 27A und 27B sind Schnittansichten zum Beschreiben eines Schritts zum Verbinden der ersten Bauteileinheit 5 und der zweiten Bauteileinheit 8, die auf die oben beschriebene Weise hergestellt wurden. Wie es in Fig. 27A dargestellt ist, werden die erste Bauteileinheit 5 und die zweite Bauteileinheit 8 so aneinander befestigt, dass die Fotodiode 50 und die Laserdiode 80 einander zugewandt sind. Dabei ist auch der Lötmedium-Kontakthöcker 61 auf der Elektroden-schicht 55 der Fotodiode 50 der Elektroden-schicht 85 der Laserdiode 80 zugewandt. Ein Kleber 79 (siehe Fig. 27B) zum Befestigen der ersten Bauteileinheit 5 an der zweiten Bauteileinheit 8 besteht z. B. aus Epoxidharz.

Das Trägeroberflächensubstrat 78 wird unter Verringerung des Haftvermögens 77 zwischen ihm und der Laserdiode durch Abkühlen unter die Raumtemperatur von der Laserdiode 80 abgezogen. Durch diesen Schritt werden die

Laserdiode 80 und die Fotodiode 50 aufeinandergestapelt, und es wird ein Dünnschicht-Bauteil 9 erhalten, das vom hinteren Trägersubstrat 59 getragen wird. Die Fläche der Laserdiode 80 ist kleiner als diejenige der Fotodiode 50, um zu vermeiden, dass die Laserdiode alles auf die Fotodiode 50 fallende Licht ausblendet, und sie ist zu einer Seite der Oberfläche der Fotodiode 50 hin positioniert.

Unter Bezugnahme auf Fig. 27B wird nun die Wirkung des auf die oben beschriebene Weise hergestellten Dünnschicht-Bauteils 9 beschrieben. Wenn mittels der Elektroden-schichten 89 und 85 ein Strom durch die Laserdiode 80 geschickt wird, wird das in der aktiven Schicht 81 erzeugte Licht durch den ersten Reflektor 88 und den zweiten Reflektor 90 wiederholt reflektiert, und es wird als Laserschwingung bezeichnete Lichtresonanz erzeugt. Das durch Laserschwingung verstärkte Licht wird durch den zweiten Reflektor 90 emittiert, wie es durch das Bezugszeichen L1 in Fig. 27B gekennzeichnet ist.

Innerhalb der Fotodiode 50 wird über die Elektroden-schicht 55 der negativen Elektrode und die positive Elektrode 58 eine Sperrspannung an die p-Schicht 53b und die n-Schicht 53a angelegt. Wenn durch die transparente Schutz-schicht 54 Licht einfällt, wie durch das Bezugszeichen L2 in Fig. 27B gekennzeichnet, fließt wegen des fotovoltischen Effekts in der Übergangsfläche zwischen der p-Schicht 53b und der n-Schicht 53a ein Strom, der das Ausgangssignal bildet.

Beim Dünnschicht-Bauteil dieses Ausführungsbeispiels sind die Laserdiode 80 und die Fotodiode 50 integral ausgebildet. Im Ergebnis kann die Fotodiode 50 von der Laserdiode 80 emittiertes Licht, das durch ein Objekt reflektiert und zurückgeliefert wurde, erfassen. Demgemäß kann das Dünnschicht-Bauteil als Sensor z. B. zum Erfassen des Vorhandenseins oder Fehlens eines Objekts verwendet werden.

Die Fotodiode 50 und die Laserdiode 80 sind elektrisch in Reihe geschaltet, wobei der Lötmedium-Kontakthöcker 61 eingebettet ist. Im Ergebnis kann Energie, wie sie sowohl für die Fotodiode 50 als auch die Laserdiode 80 erforderlich ist, zugeführt werden, wenn die Elektroden-schicht 58 der Fotodiode 50 und die Elektroden-schicht 89 der Laserdiode 80 mit dem Potential einer externen Spannungsversorgung bzw. Massepotential verbunden sind.

Obwohl die Erfindung durch verschiedene Ausführungsbeispiele und Modifizierungen derselben beschrieben wurde, ist sie nicht hierauf beschränkt, sondern kann noch anders realisiert und modifiziert werden. Z. B. können das vordere und hintere Trägersubstrat bei den oben beschriebenen Ausführungsbeispielen aus EVA (Ethylvinylacetat) bestehen, das bei hoher Temperatur Haftvermögen zeigt. In diesem Fall ist für den Verbindungsvorgang durch das vordere und hintere Trägersubstrat kein Kleber erforderlich.

Beim ersten bis dritten Ausführungsbeispiel erfolgte eine Beschreibung dahingehend, dass die Bauteilschichten 20 und 40 einen CMOS-Transistor bilden. Jedoch können die Bauteilschichten 20 und 40 aktive Bauteile wie Transistoren, außer CMOS- und Diodenbauteilen, passive Bauteile wie Widerstände und Kondensatoren sowie fotoelektrische Wandlerelemente wie Fotodioden und Laserdioden bilden. Es besteht Anwendbarkeit auch bei CPUs, DRAMs oder dergleichen.

Beim ersten bis dritten Ausführungsbeispiel wird die Halbleiterschicht 13 epitaktisch auf das Halbleitersubstrat 11 aus Silicium aufgewachsen, wodurch die poröse Schicht 12 eingebettet wird. Jedoch kann das Halbleitersubstrat 11 aus Germanium (Ge) bestehen, und die Halbleiterschicht 13 wird heteroepitaktisch darauf aufgewachsen. Außerdem kann ein Material mit geringer Fehlanpassung zur Gitterkonstante von Silicium heteroepitaktisch auf das Halbleiter-

substrat 11 aus Silicium aufgewachsen werden. Z. B. können auf das Halbleitersubstrat 11 aus Silicium SiGe (Siliciumgermanium), Ge, GaAs (Galliumarsenid) oder dergleichen in der genannten Reihenfolge heteroepitaktisch aufgewachsen werden.

Bei den oben angegebenen Ausführungsbeispielen bestehen das vordere und das hintere Trägersubstrat aus einer Kunststoffplatte oder dergleichen. Statt einer Kunststoffplatte kann Metall, einschließlich Metallfasern, porösem Material oder dergleichen, Keramik, einschließlich Keramikfasern, poröser Keramik oder dergleichen, oder andere Fasern wie Papier, Hanf, Baumwolle verwendet werden.

Bei den oben angegebenen Ausführungsbeispielen wird, wie z. B. gemäß den Fig. 5A und 5B, die Bauteilschicht auf dem Halbleitersubstrat hergestellt, und das Halbleitersubstrat wird von der porösen Schicht abgezogen, nachdem das Trägeroberflächensubstrat an der Bauteilschicht angebracht wurde. Jedoch kann, nachdem das Trägeroberflächensubstrat am Halbleitersubstrat angebracht und dann das letztere von der porösen Schicht abgezogen wurde, die Bauteilschicht auf der porösen Schicht hergestellt werden, die auf der Seite des Trägeroberflächensubstrats verblieb. In diesem Fall wird als Kleber zum Befestigen des Trägeroberflächensubstrats am Halbleitersubstrat ein Material mit hervorragender Wärmebeständigkeit und einem linearen Expansionskoeffizienten, der ungefähr dem von Silicium entspricht, verwendet. Die Bauteilschicht wird unter der Wärmebeständigkeitstemperatur des Klebers hergestellt.

Wie oben beschrieben, wird gemäß dem erfindungsgemäßen Verfahren zum Herstellen eines Dünnschicht-Bauteils dieses durch Kombinieren mehrerer Bauteileinheiten hergestellt. Im Ergebnis besteht für das Verfahren zum Herstellen der Bauteilschicht keine Beschränkung, abweichend vom Fall, in dem mehrere Bauteilschichten der Reihe nach aufgestapelt werden. Dies ermöglicht es, ein Verfahren zum Herstellen einer Bauteilschicht innerhalb kurzer Zeit zu wählen. Im Ergebnis ist der Durchsatz beim Herstellprozess für die Schicht des Dünnschicht-Bauteils erhöht. Da das Trägersubstrat die Bauteilschicht trägt, ist es möglich, dünne Bauteilschichten von z. B. 1 µm Dicke zu kompensieren.

Bei einem erfindungsgemäßen Verfahren zum Herstellen eines Dünnschicht-Bauteils wird eine Halbleiterschicht mit Bauteilschichten auf ihrer Vorder- und Rückseite hergestellt. Dies ermöglicht einfaches Herstellen des Dünnschicht-Bauteils mit mehreren Bauteilschichten.

Beim erfindungsgemäßen Dünnschicht-Bauteil erfasst die Fotodetektorschicht Licht, das von der Schicht des Licht emittierenden Bauteils emittiert wird und durch ein Objekt reflektiert und zurückgestrahlt wird. Im Ergebnis kann ein einzelnes Bauteil das Durchlaufen eines Objekts erkennen, was im Allgemeinen durch zwei unabhängige Bauteile ausgeführt wird.

#### Patentansprüche

1. Verfahren zum Herstellen eines Dünnschicht-Bauteils mit mehreren Bauteilschichten, mit den folgenden Schritten:

– Herstellen mehrerer Bauteileinheiten (2, 4), mit jeweils einem Trägersubstrat (17, 36), das eine Bauteilschicht (20, 40) trägt; und

Kombinieren der mehreren Bauteileinheiten, um so das Dünnschicht-Bauteil herzustellen.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass von den mehreren Bauteileinheiten zwei Bauteileinheiten (2, 4) so aneinander befestigt werden, dass ihre jeweilige Bauteilschichten (20, 40) einander zugewandt sind.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass beim Verbinden der zwei Bauteileinheiten (2, 4) ein leitendes Element (19a, 19b, 19c) zwischen den zwei Bauteilschichten (20, 40) eingebettet wird.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass das leitende Element Lötmedium-Kontakthöcker (19a, 19b, 19c) sind.

5. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass mindestens eine der Bauteilschichten (20, 40) ein aktives oder ein passives Bauteil bildet.

6. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass mindestens eine der Bauteilschichten ein Licht emittierendes Bauteil (80) bildet.

7. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass mindestens eine der Bauteilschichten einen Licht empfangenden Fotodetektor (50) bildet.

8. Verfahren nach einem der vorstehenden Ansprüche, gekennzeichnet durch die folgenden Schritte:

– Abziehen eines der Trägersubstrate (17, 36) von zumindest bereits aufgestapelten zwei Bauteileinheiten (2, 4); und

– Verbinden einer anderen Bauteileinheit der mehreren Bauteileinheiten in solcher Weise, dass die Bauteilschichten im abgezogenen Gebiet des Trägersubstrats einander zugewandt sind.

9. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass der Schritt des Herstellens der Bauteileinheit (2, 4) den Schritt des Herstellens der Bauteilschicht (20, 40) auf der Oberfläche eines Halbleitersubstrats (11) aufweist.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass das Halbleitersubstrat (11) im Schritt des Herstellens der Bauteileinheit (2, 4) als Trägersubstrat verwendet wird.

11. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass an der Bauteilschicht (20, 40) ein anderes klebendes Substrat als das Halbleitersubstrat befestigt wird und das klebende Substrat als Trägersubstrat verwendet wird.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass ein Kleber verwendet wird, dessen Haftvermögen sich abhängig von der Temperatur ändert.

13. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass der Schritt des Herstellens der Bauteileinheit (2, 4) die folgenden Schritte umfasst:

– Herstellen einer porösen Schicht in der Nähe der Oberfläche des Halbleitersubstrats (11) auf einer Seite, um die Bauteilschicht (20, 40) herzustellen;

– Herstellen der Bauteilschicht auf der Oberfläche der porösen Schicht; und

– Abtrennen des klebenden Substrats und der Bauteilschicht vom Halbleitersubstrat, nachdem das klebende Substrat an der Bauteilschicht befestigt wurde.

14. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass die Bauteilschicht (20, 40) auf dem Halbleitersubstrat ohne dazwischen liegende poröse Schicht hergestellt wird und im Schritt des Herstellens der Bauteileinheit dieselbe durch die Bauteilschicht und das Halbleitersubstrat gebildet wird.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, dass die Bauteileinheit (2, 4), bei der das Halbleitersubstrat die Bauteilschicht (20, 40) trägt, an der anderen Bauteileinheit befestigt wird, bei der die

andere Bauteilschicht im Schritt des Verbindens an einem anderen klebenden Substrat als dem Halbleitersubstrat befestigt wird.

16. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass das Halbleitersubstrat (11) aus Silicium (Si) oder Germanium (Ge) hergestellt wird. 5

17. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass die Bauteilschicht (20, 40) durch epitaktisches oder heteroepitaktisches Wachstum auf dem Halbleitersubstrat (11) hergestellt wird. 10

18. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass im Schritt des Verbindens der Bauteileinheit zwei Bauteileinheiten (2, 4) unter Verwendung eines Klebers aneinander befestigt werden.

19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass ein Kleber aus isolierendem Material verwendet wird. 15

20. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass ein Trägersubstrat mit Durchgangslöchern verwendet wird, die ein Flussmittel zum Lösen des Klebers hindurchtreten lassen. 20

21. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass der Kleber in einen vorgegebenen Raum auf der der Bauteilschicht zugewandten Seite des Trägersubstrats eingebracht wird. 25

22. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass mehrere Bauteilschichten auf einem Trägersubstrat aufgebracht werden.

23. Verfahren zum Herstellen eines Dünnschicht-Bauteils mit mehreren Bauteilschichten, mit den folgenden Schritten: 30

- Herstellen einer internen Isolierschicht (130) aus einem isolierenden Material in einer Halbleiterschicht (13) mit einem Paar Oberflächen;
- Herstellen einer ersten Bauteilschicht (20) auf einer Seite der Halbleiterschicht und 35
- Herstellen einer zweiten Bauteilschicht (40) auf der anderen Seite der Halbleiterschicht.

24. Verfahren nach Anspruch 23, dadurch gekennzeichnet, dass im Schritt des Herstellens der internen Isolierschicht (130) Ionen in die Halbleiterschicht (13) implantiert werden. 40

25. Verfahren nach Anspruch 23, dadurch gekennzeichnet, dass die Halbleiterschicht (13) auf einem eine poröse Schicht einbettenden Halbleitersubstrat hergestellt wird. 45

26. Verfahren nach Anspruch 25, dadurch gekennzeichnet, dass die poröse Schicht durch Anodisieren auf dem Halbleitersubstrat hergestellt wird.

27. Verfahren nach Anspruch 23, dadurch gekennzeichnet, dass die Halbleiterschicht durch epitaktisches Wachstum auf dem Halbleitersubstrat hergestellt wird. 50

28. Dünnschicht-Bauteil mit mehreren Bauteilschichten (20, 40), das eine Licht emittierende Bauteilschicht (80) und eine Licht empfangende Fotodetektorschicht (50) aufweist. 55

29. Dünnschicht-Bauteil nach Anspruch 28, dadurch gekennzeichnet, dass die Licht emittierende Bauteilschicht (50) unter Verwendung eines Klebers an der Fotodetektorschicht (80) befestigt wird. 60

30. Dünnschicht-Bauteil nach Anspruch 29, dadurch gekennzeichnet, dass die Licht emittierende Bauteilschicht (50) so hergestellt wird, dass sie Licht im Wesentlichen rechtwinklig zu einer Oberfläche emittiert. 65

Hierzu 24 Seite(n) Zeichnungen

- Leerseite -

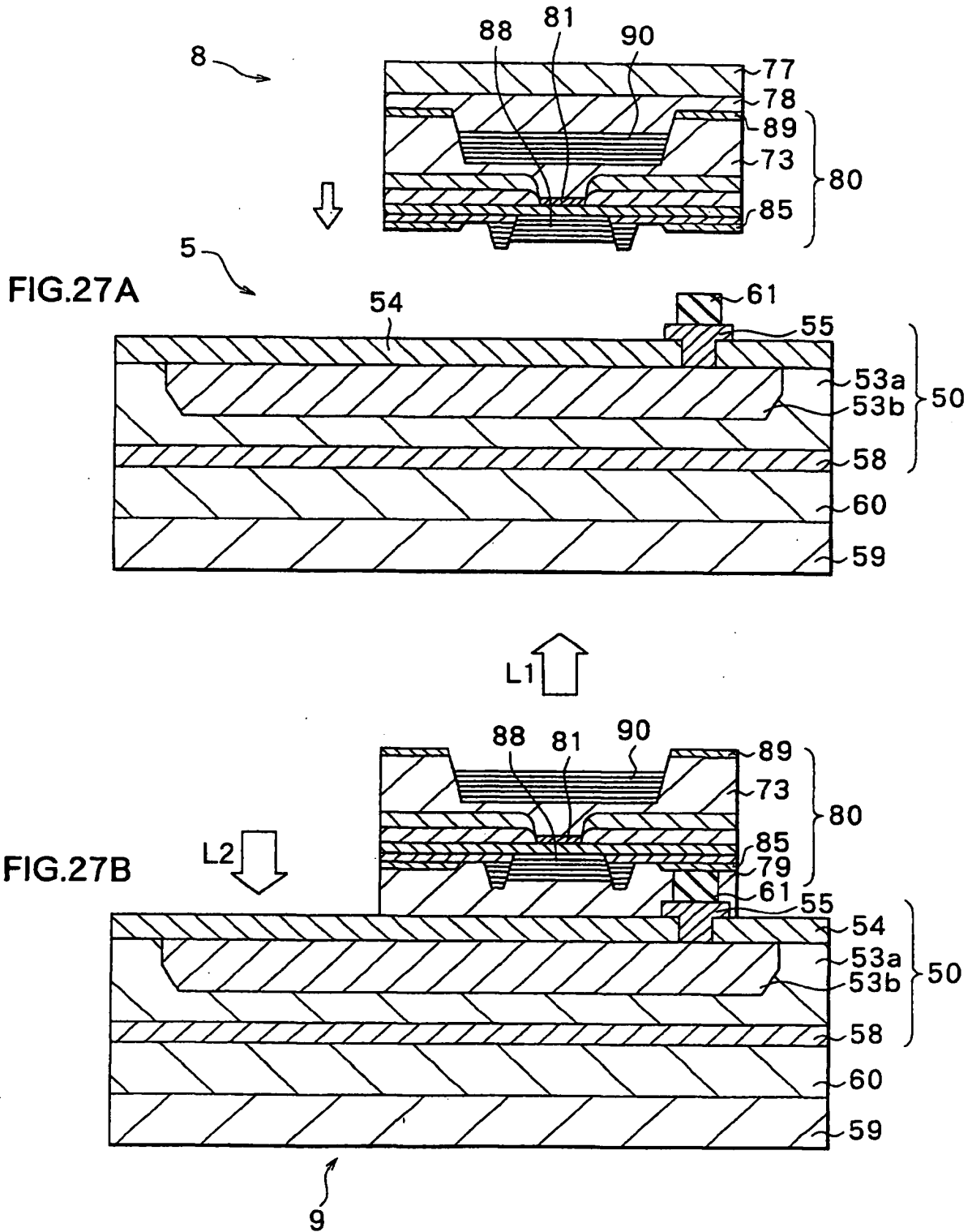


FIG.26A

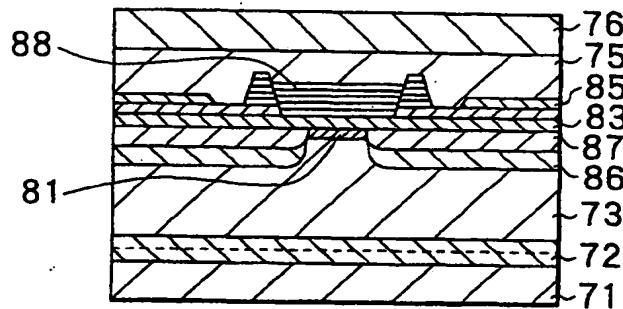


FIG.26B

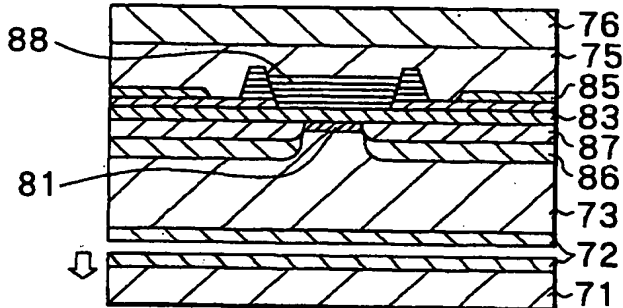


FIG.26C

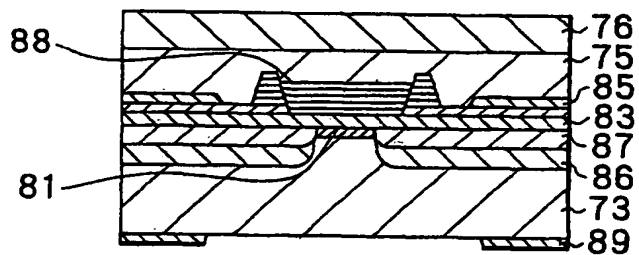


FIG.26D

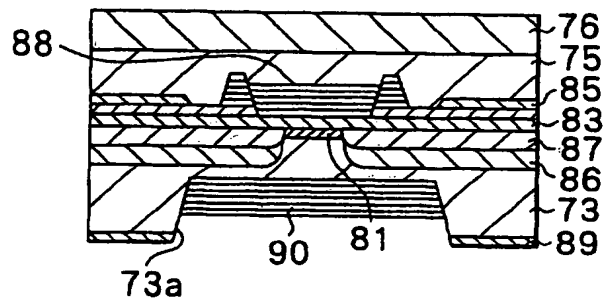


FIG.26E

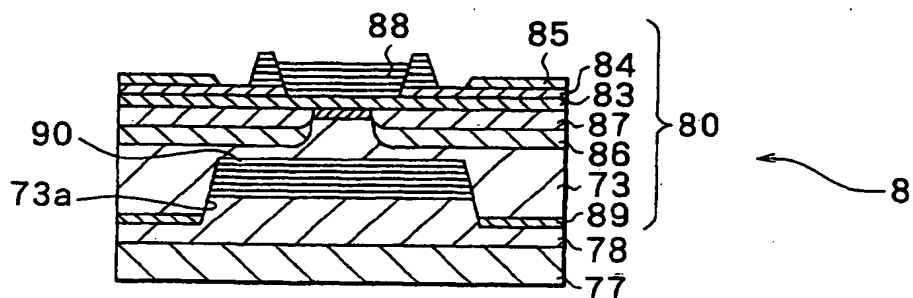




FIG.25A

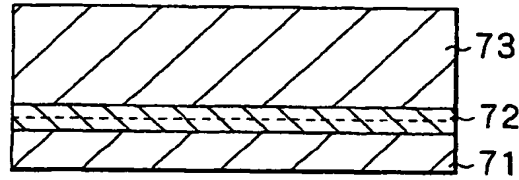


FIG.25B

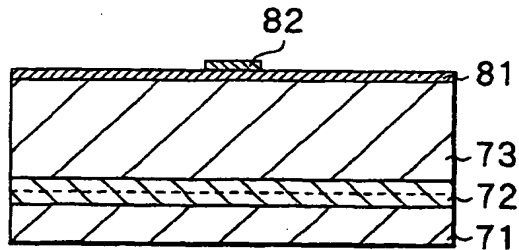


FIG.25C

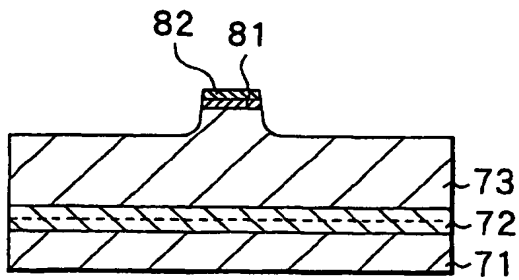


FIG.25D

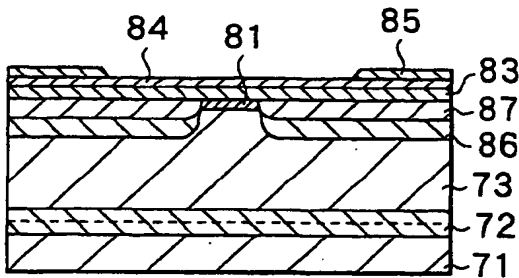


FIG.25E

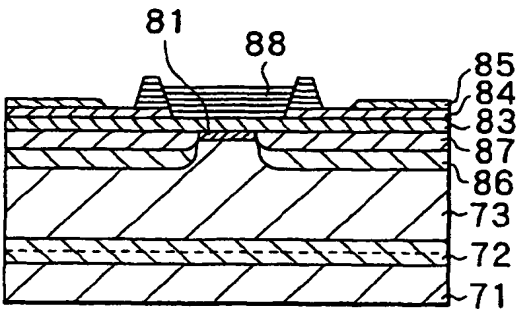


FIG.24A

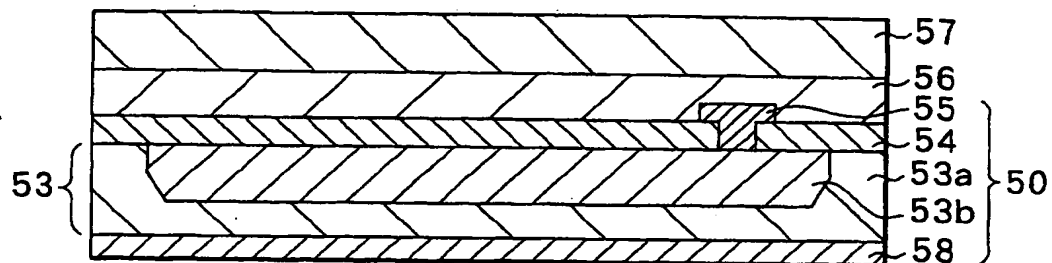


FIG.24B

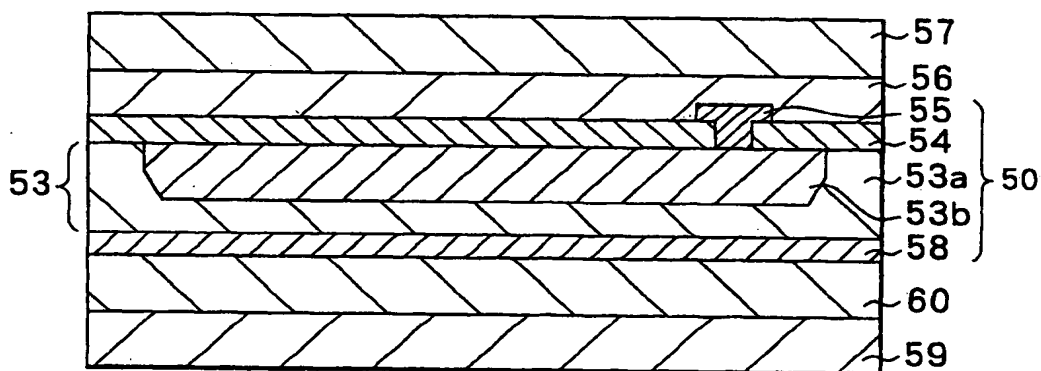


FIG.24C

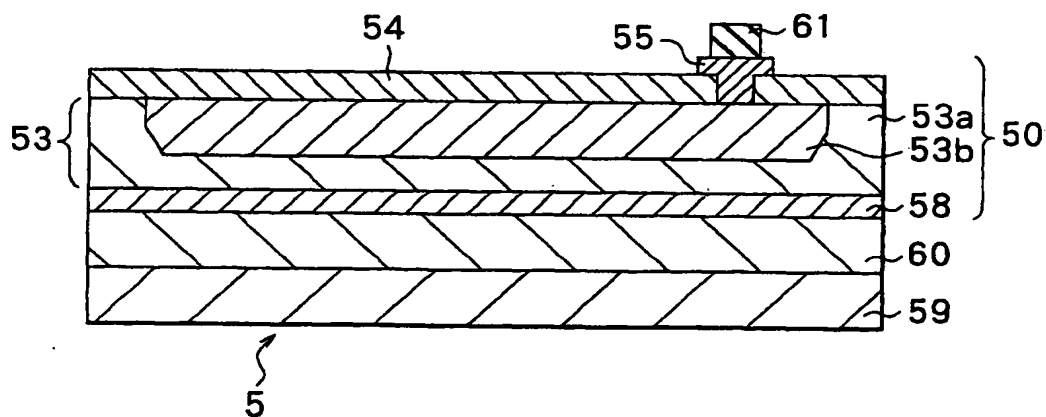


FIG.23A

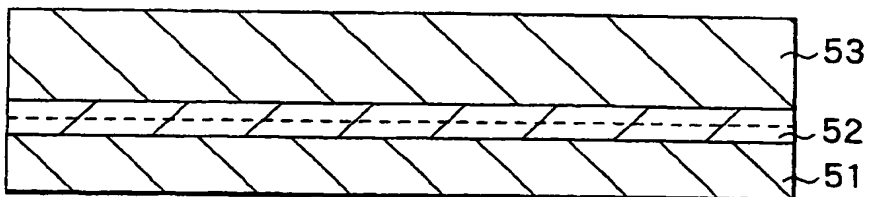


FIG.23B

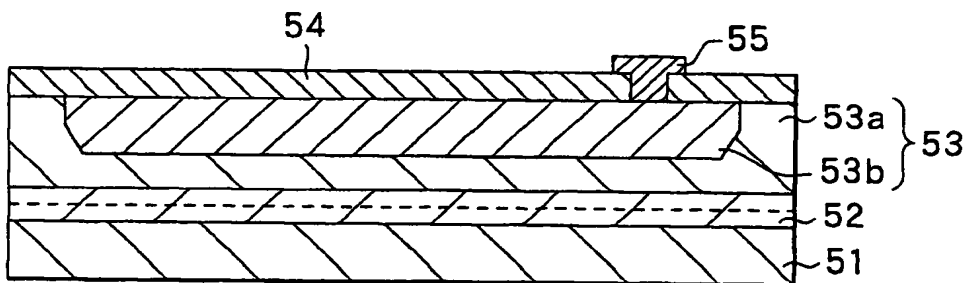


FIG.23C

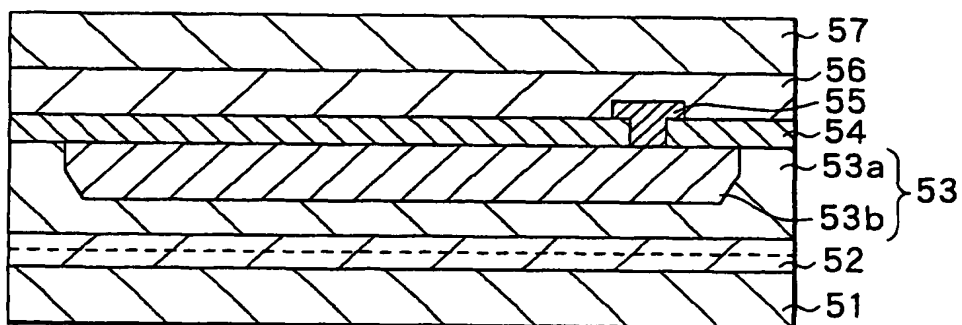


FIG.23D

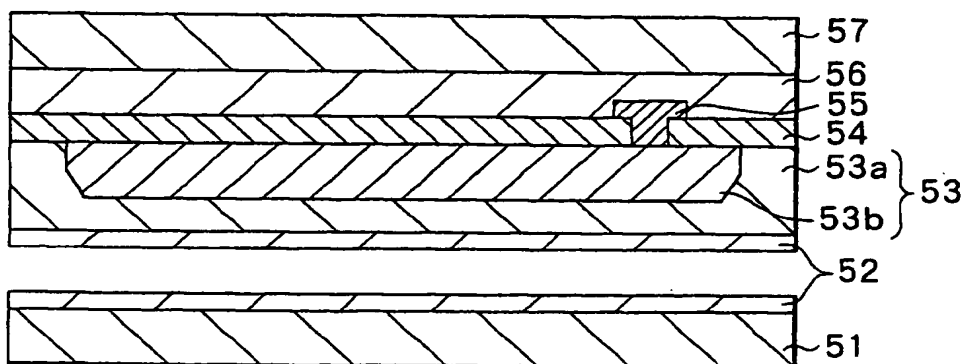


FIG.22A

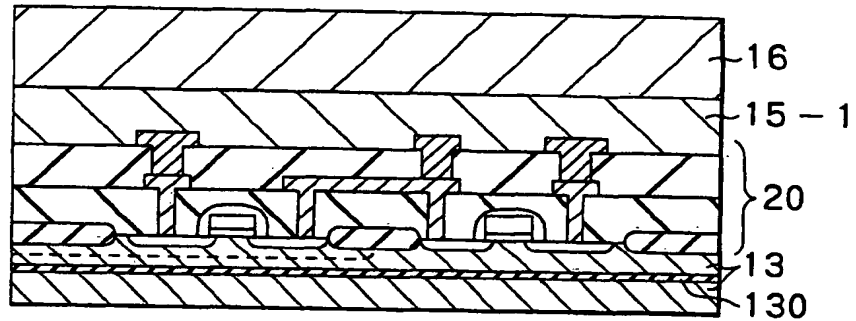


FIG.22B

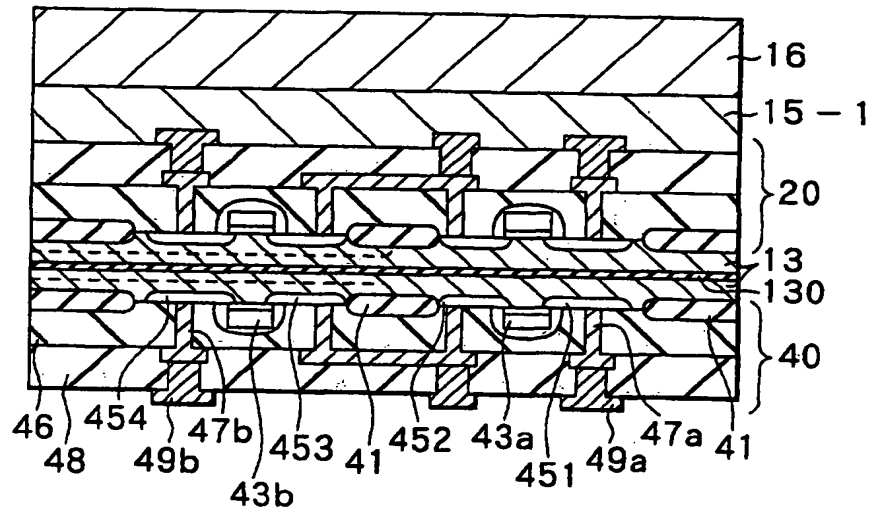


FIG.21A

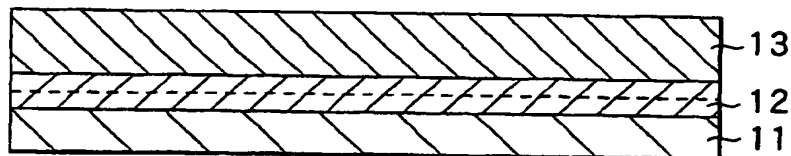


FIG.21B

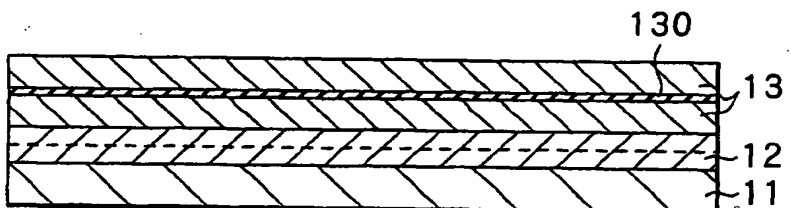


FIG.21C

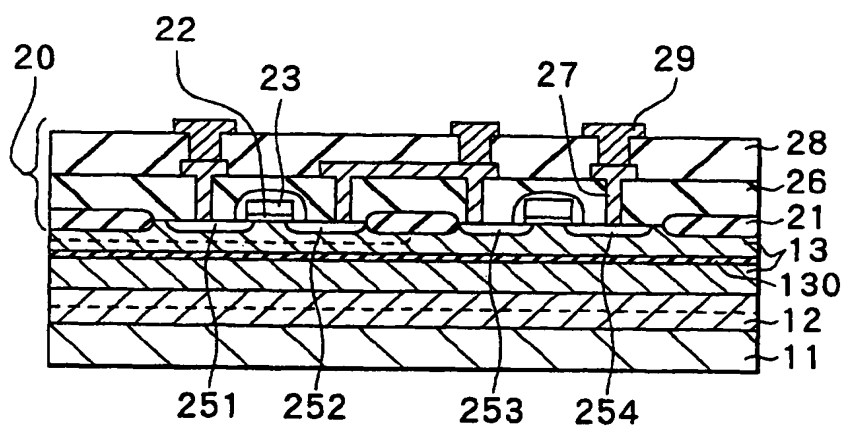
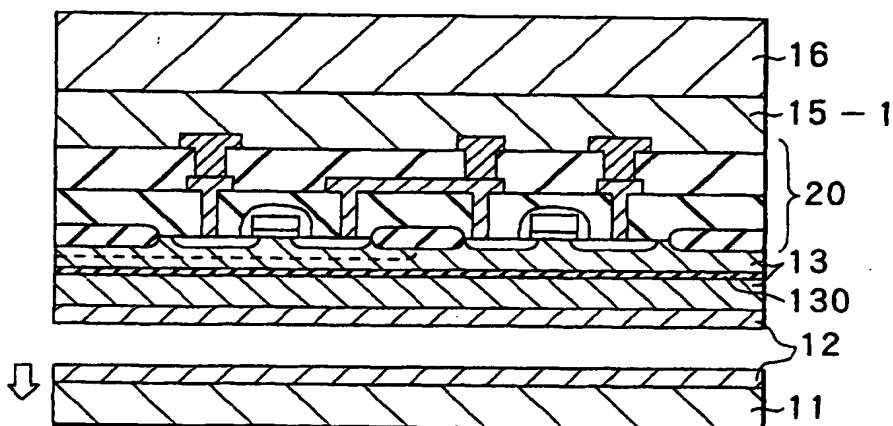


FIG.21D



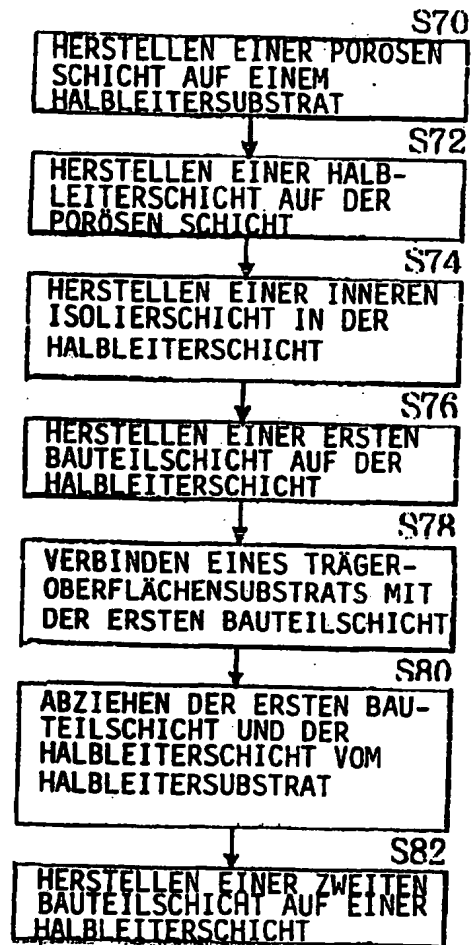


FIG.20

FIG.18A

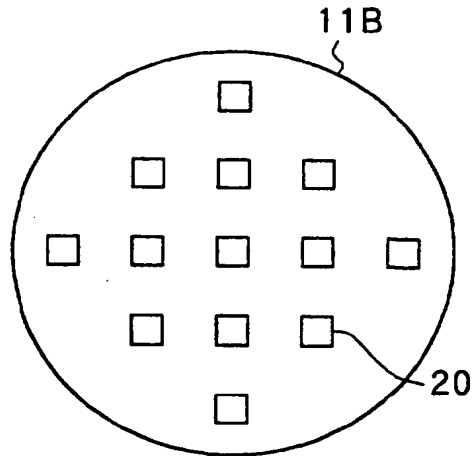


FIG.18B

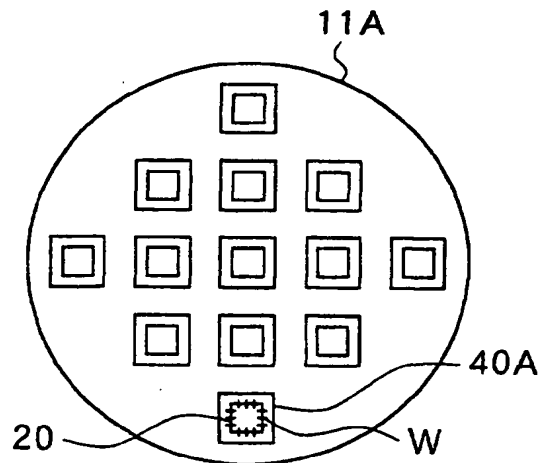
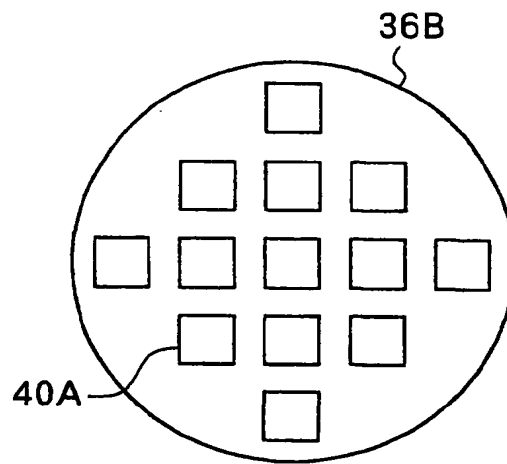


FIG.19

FIG.17A

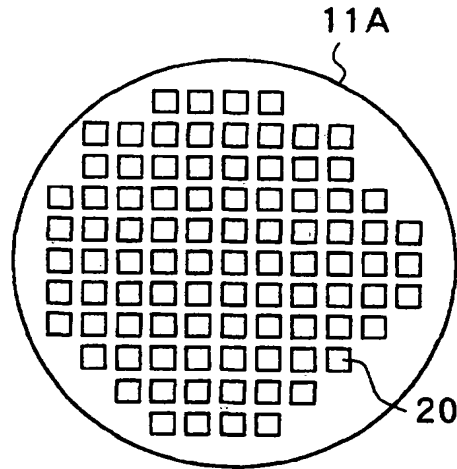
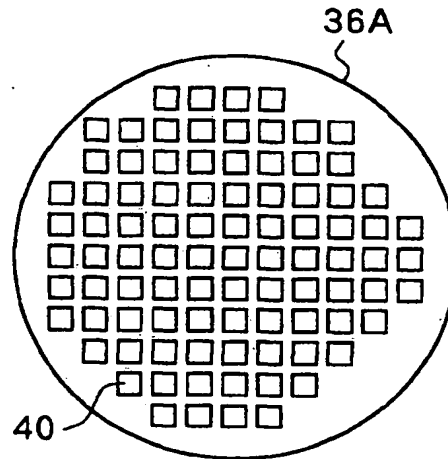


FIG.17B





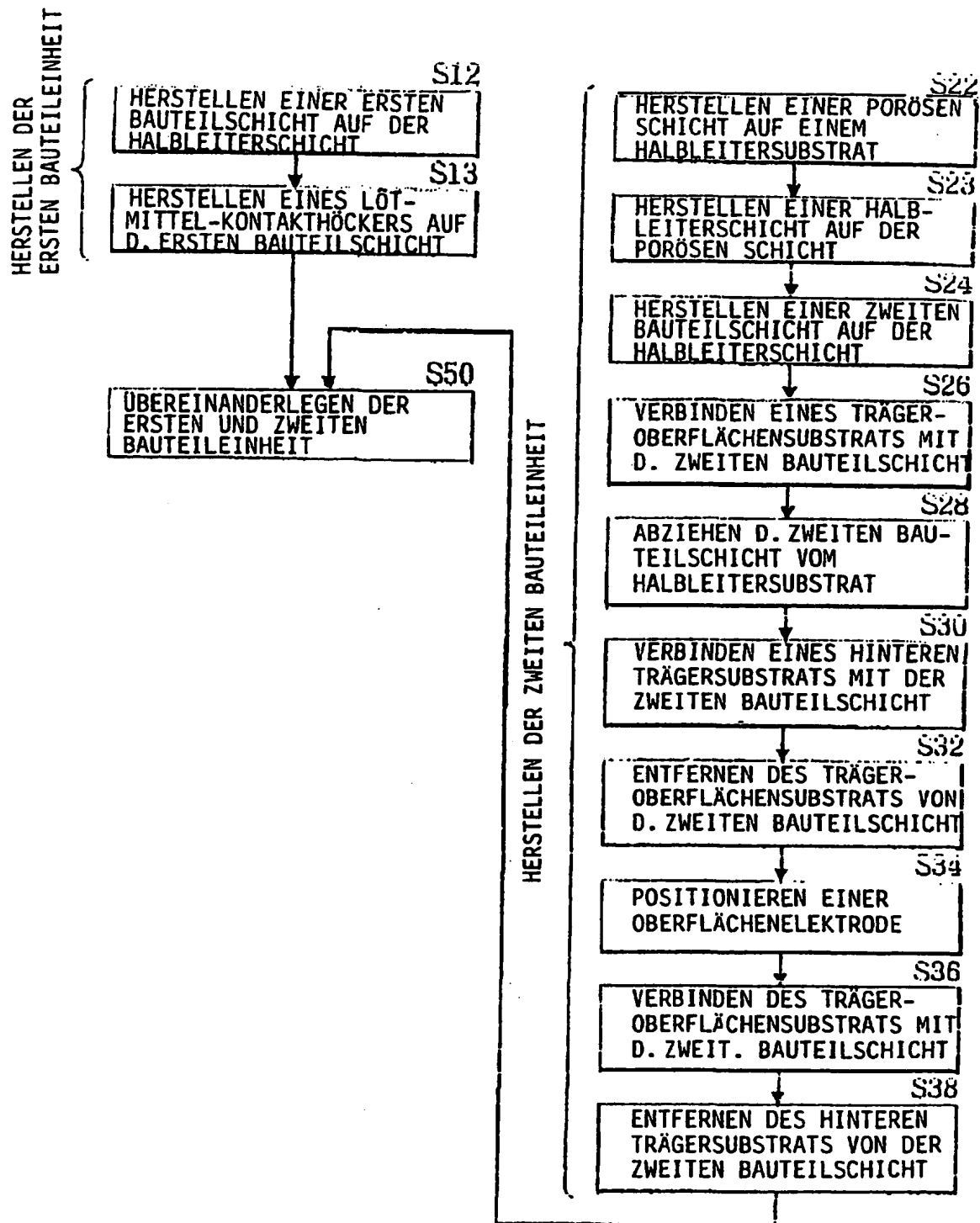


FIG.16

FIG.15A

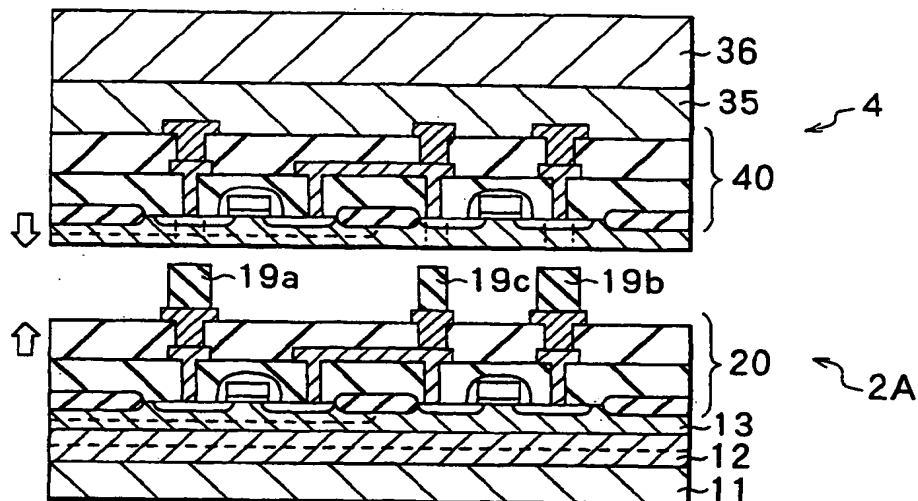


FIG.15B

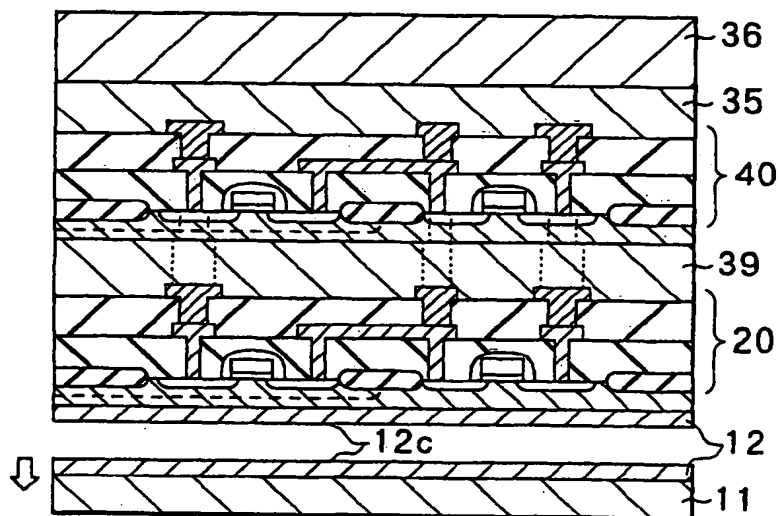
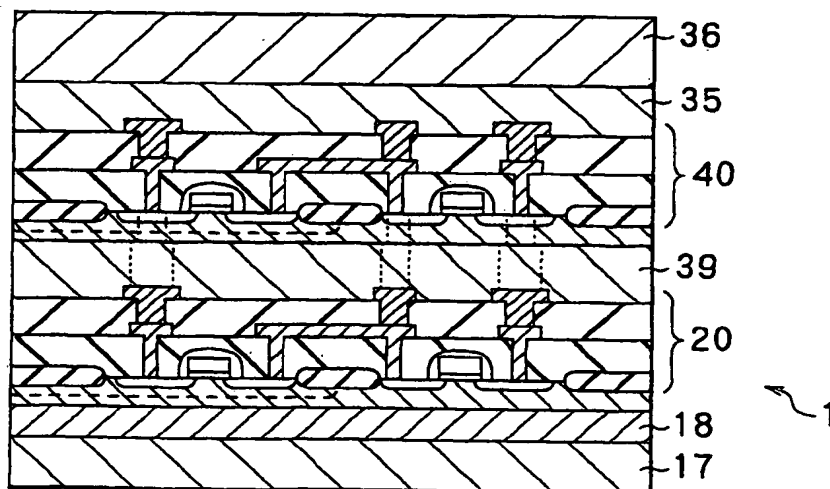


FIG.15C



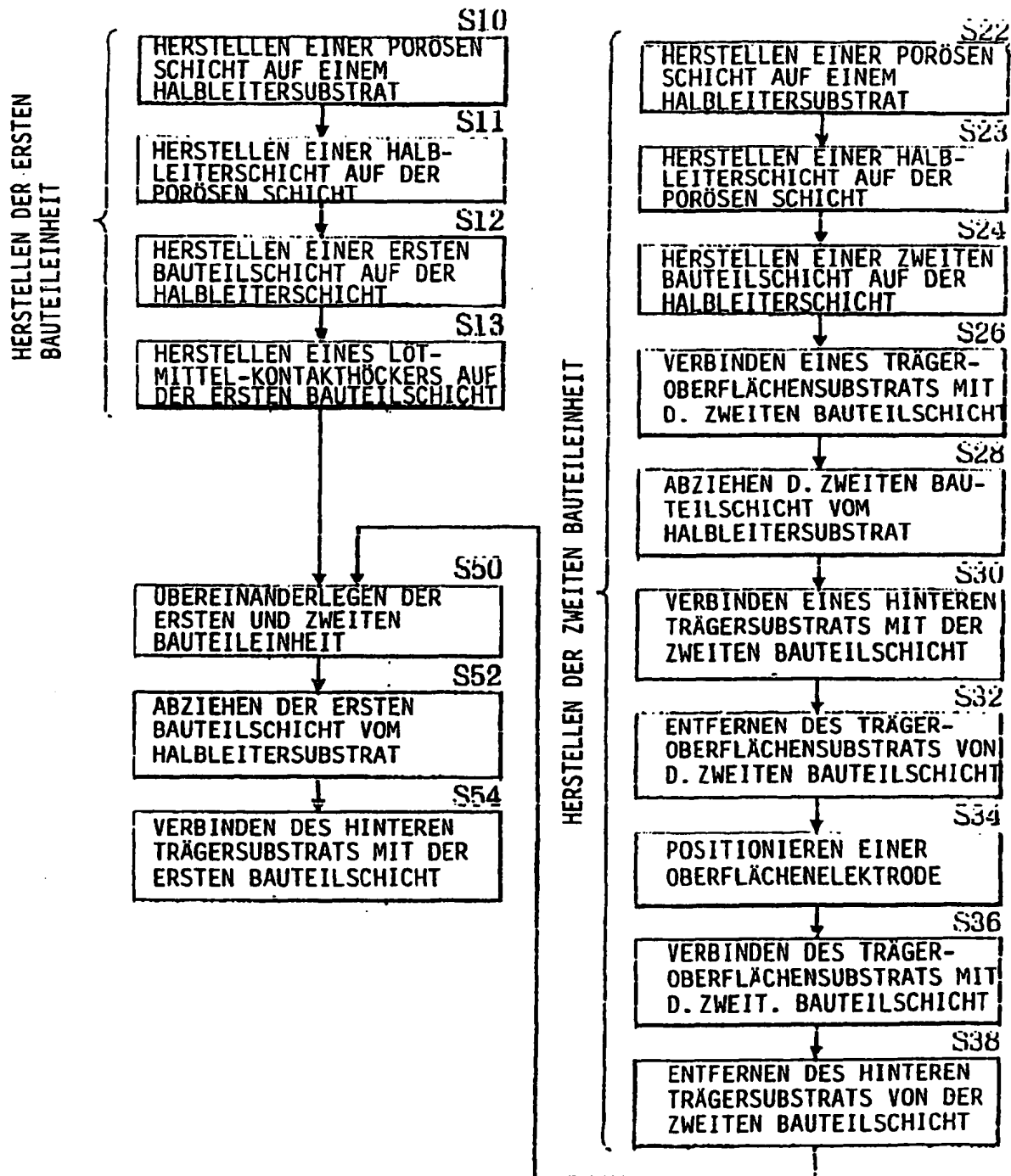


FIG.14

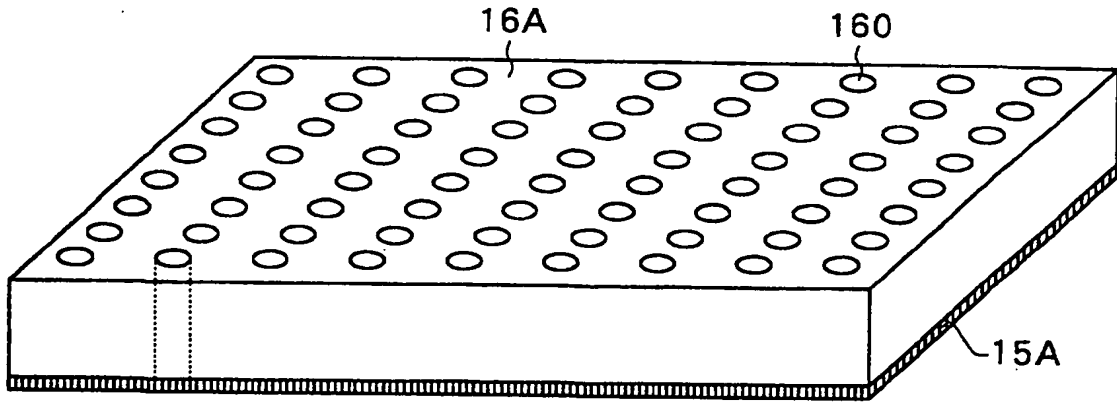


FIG. 11

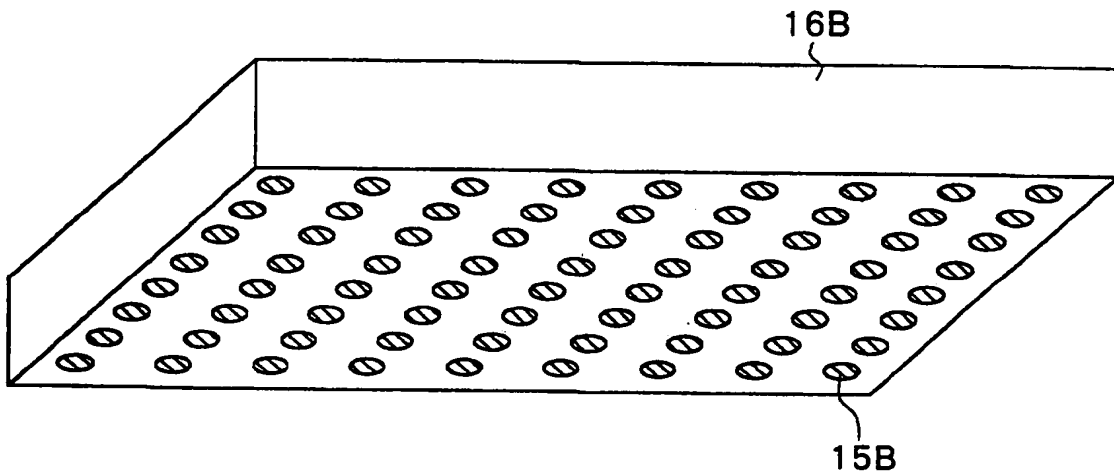


FIG. 12

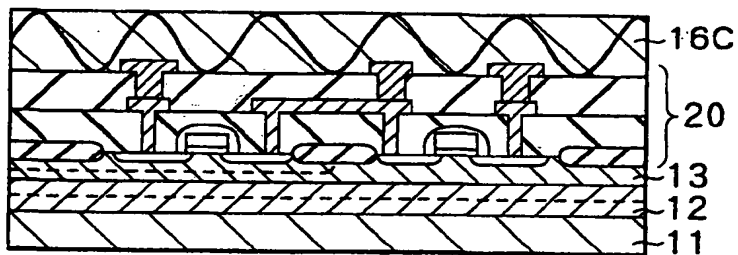


FIG. 13

FIG.10A

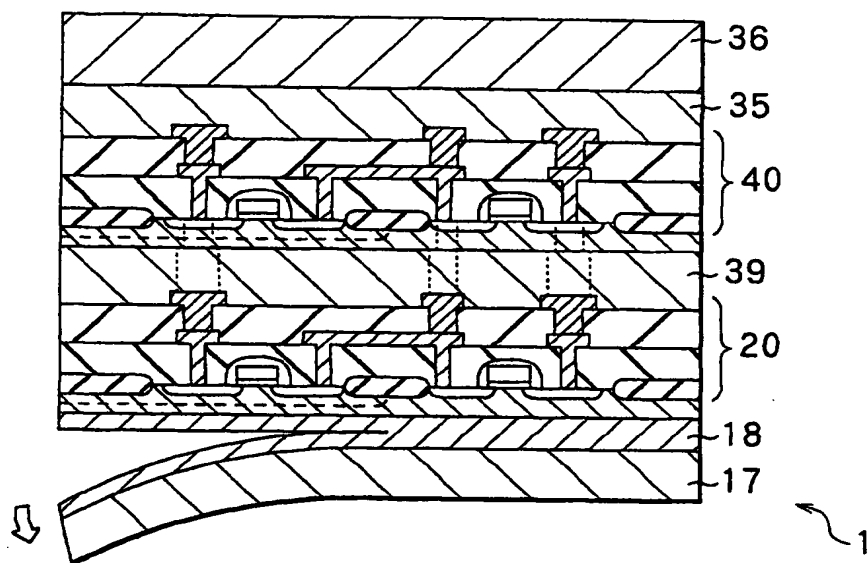


FIG.10B

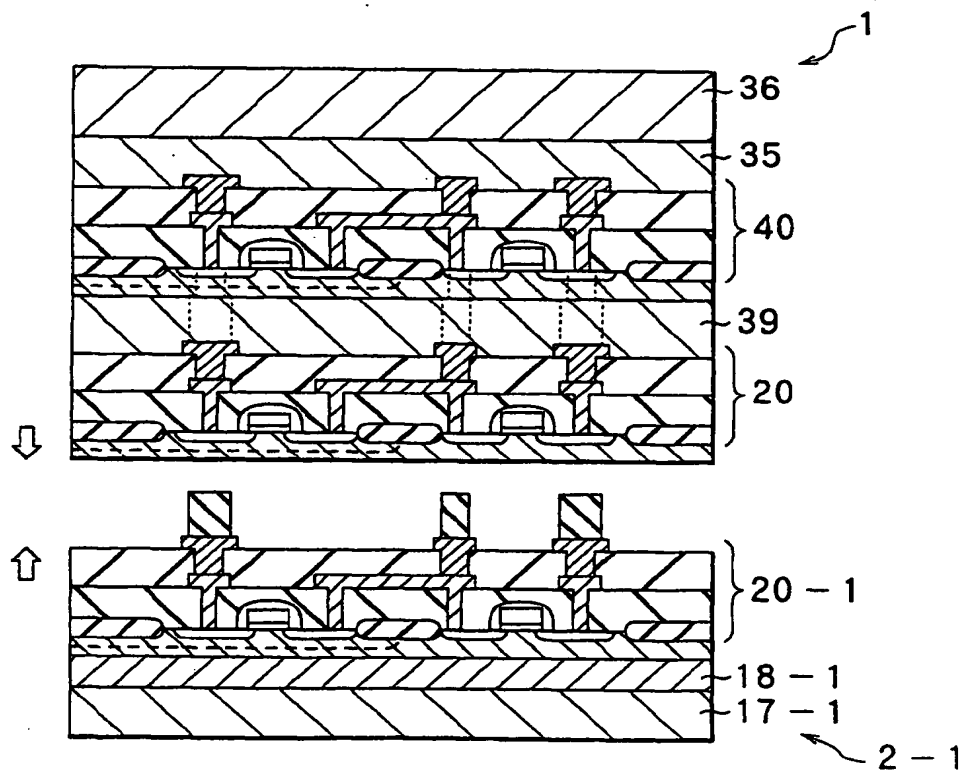


FIG.9A

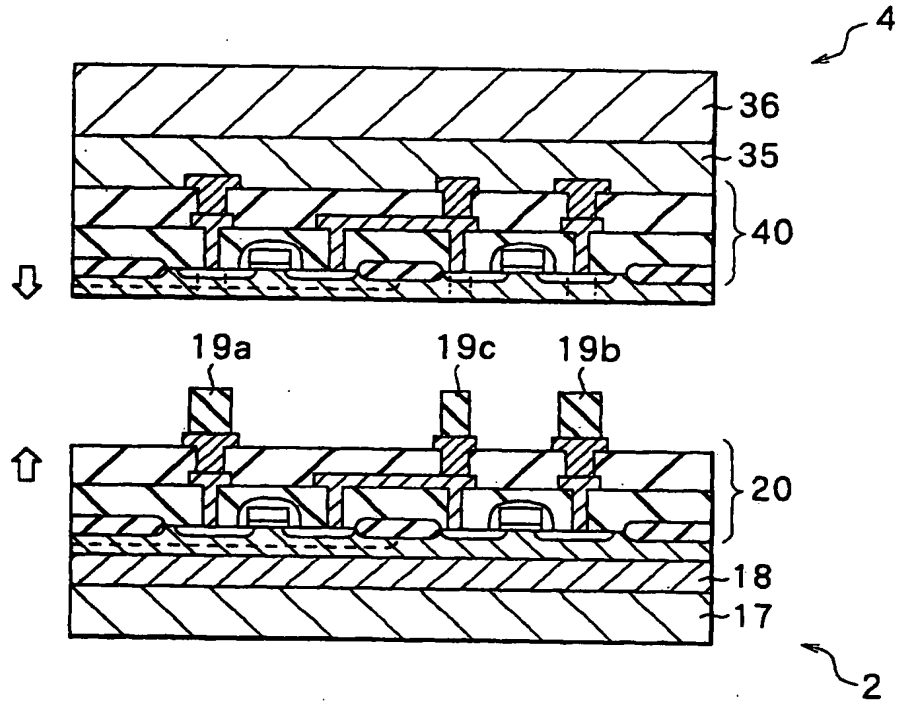


FIG.9B

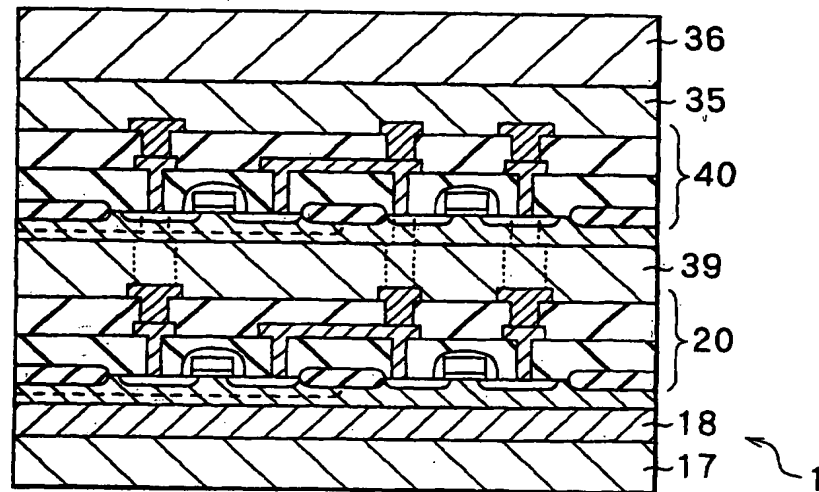


FIG.8A

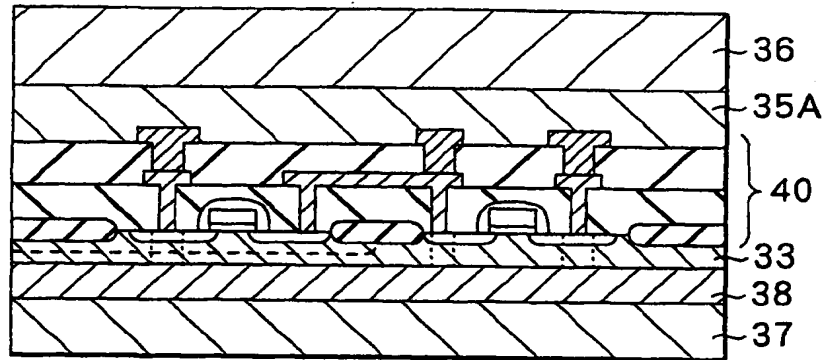


FIG.8B

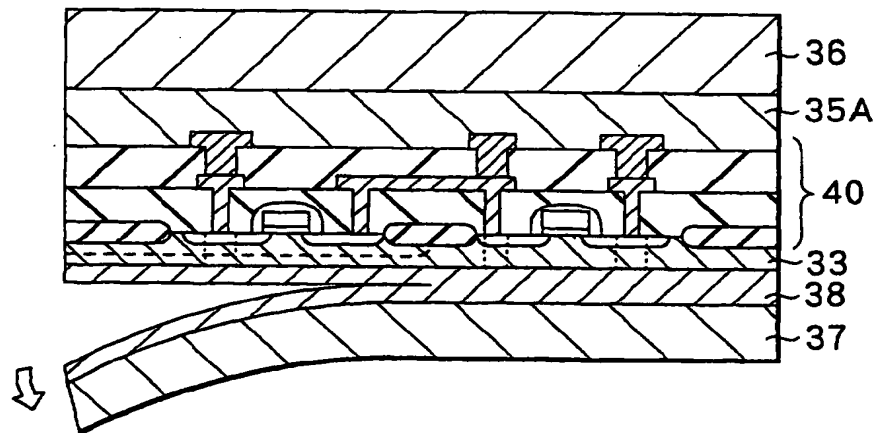
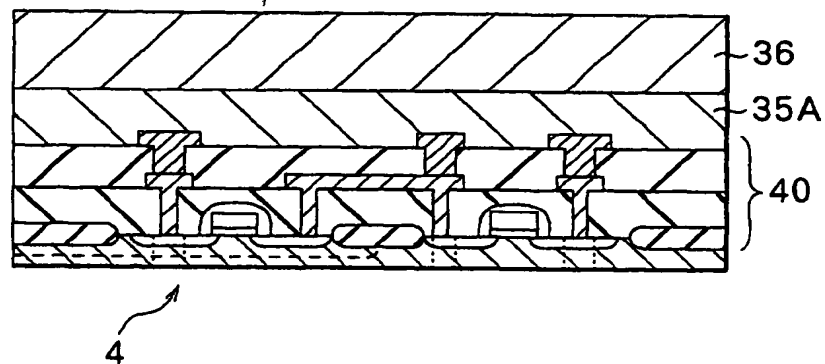


FIG.8C



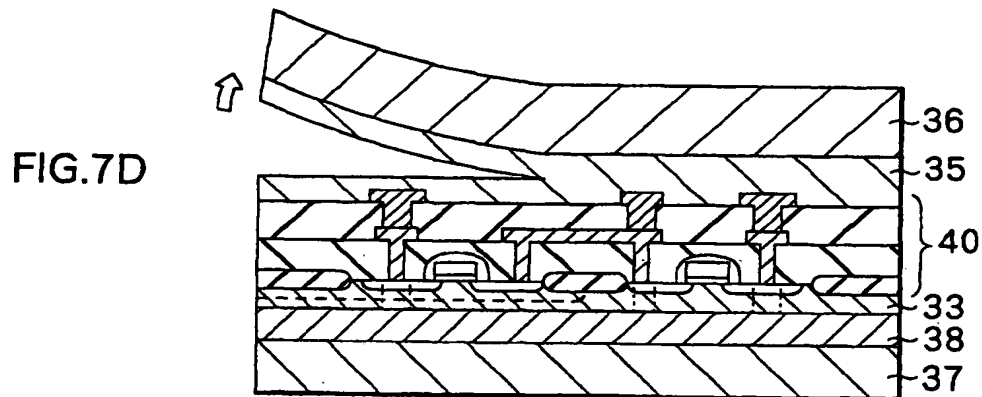
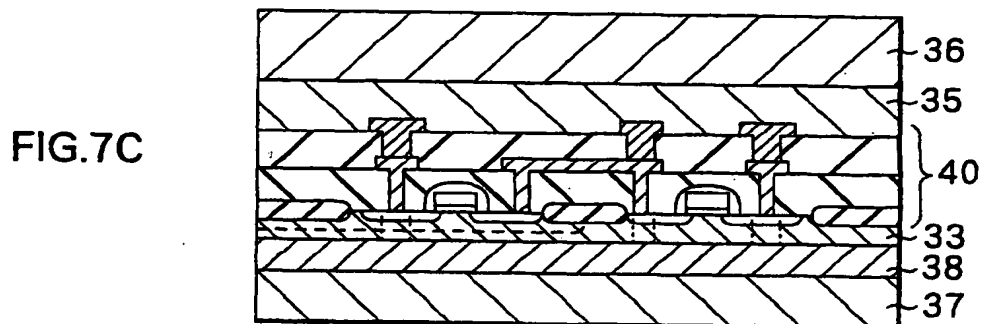
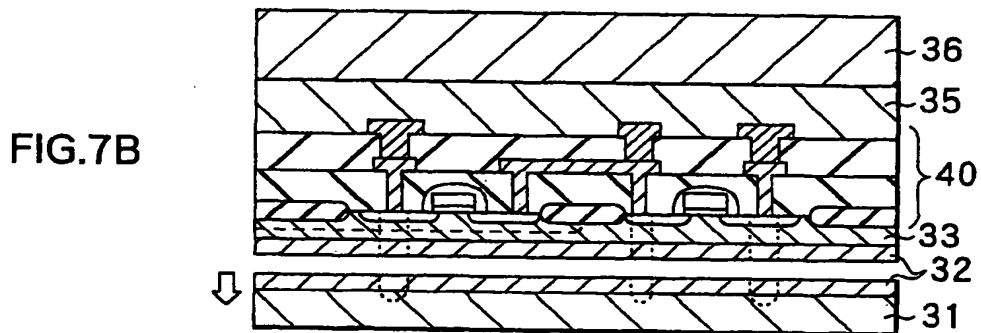
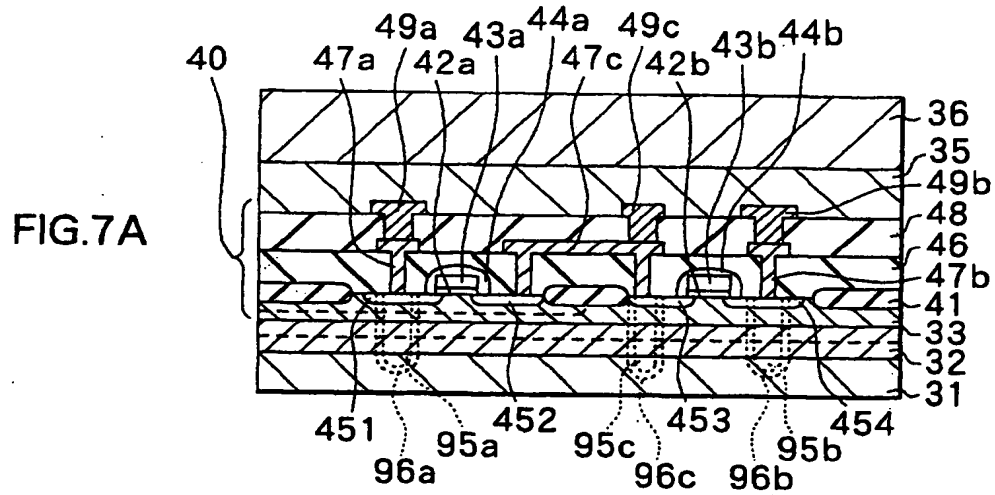




FIG.6A

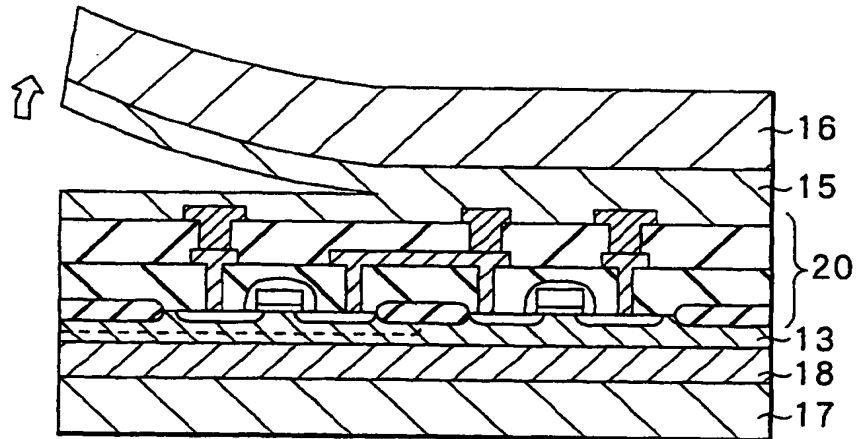


FIG.6B

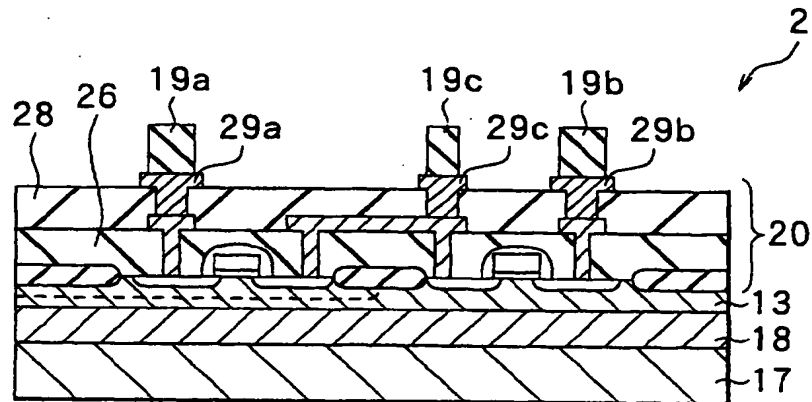


FIG.5A

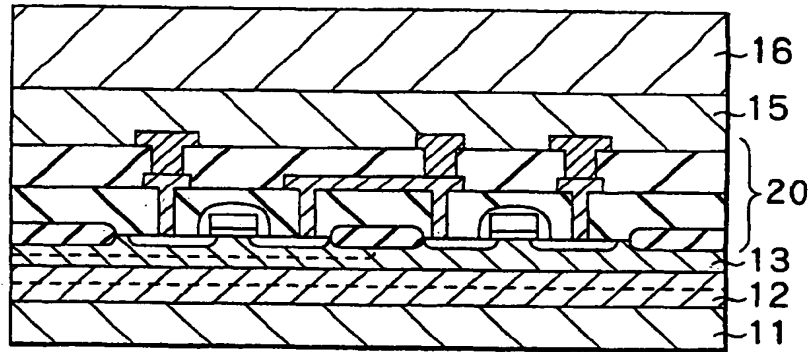


FIG.5B

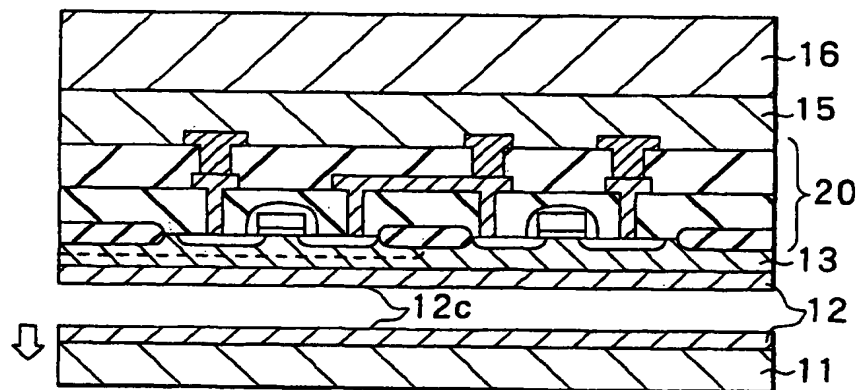


FIG.5C

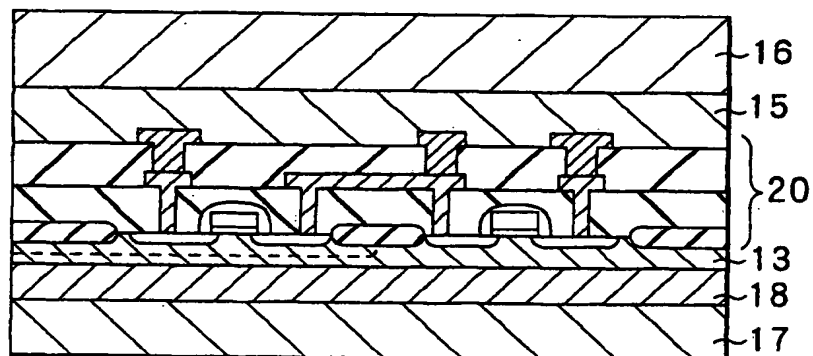


FIG.4A

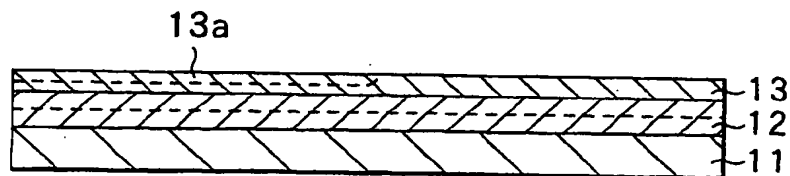
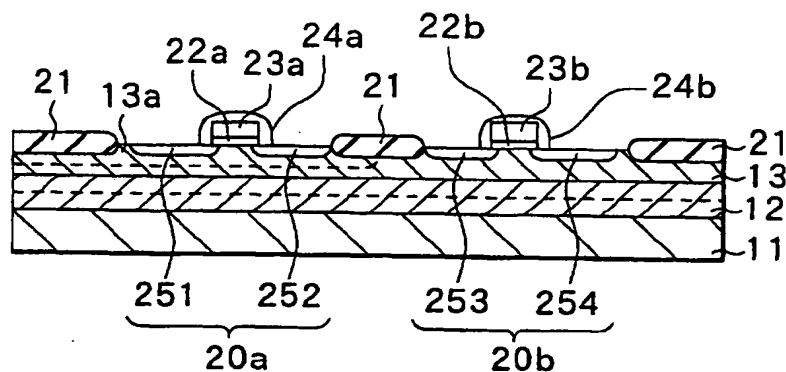


FIG.4B



**FIG.4C**

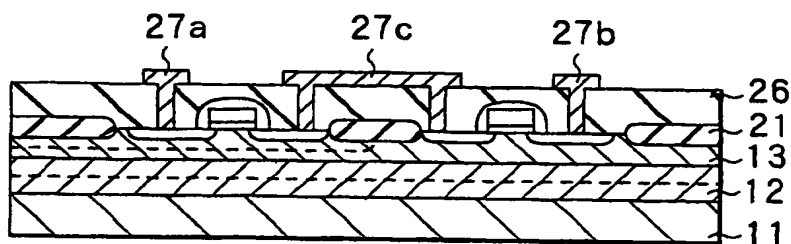


FIG.4D

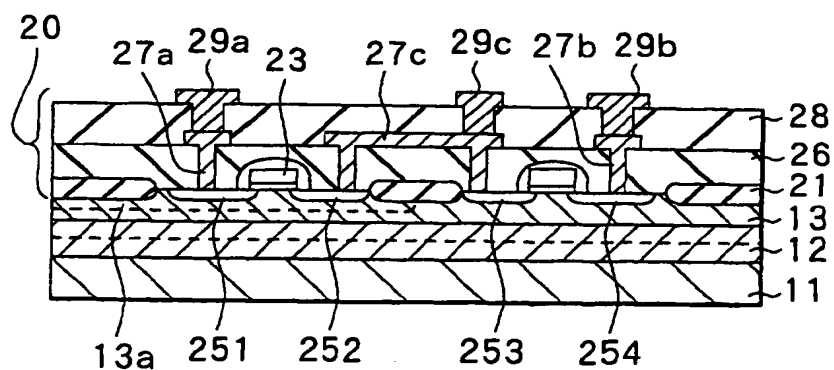


FIG.3A



FIG.3B



FIG.3C

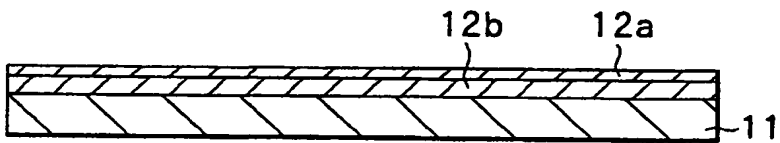
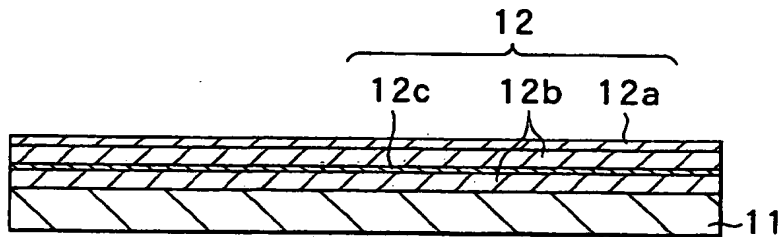


FIG.3D



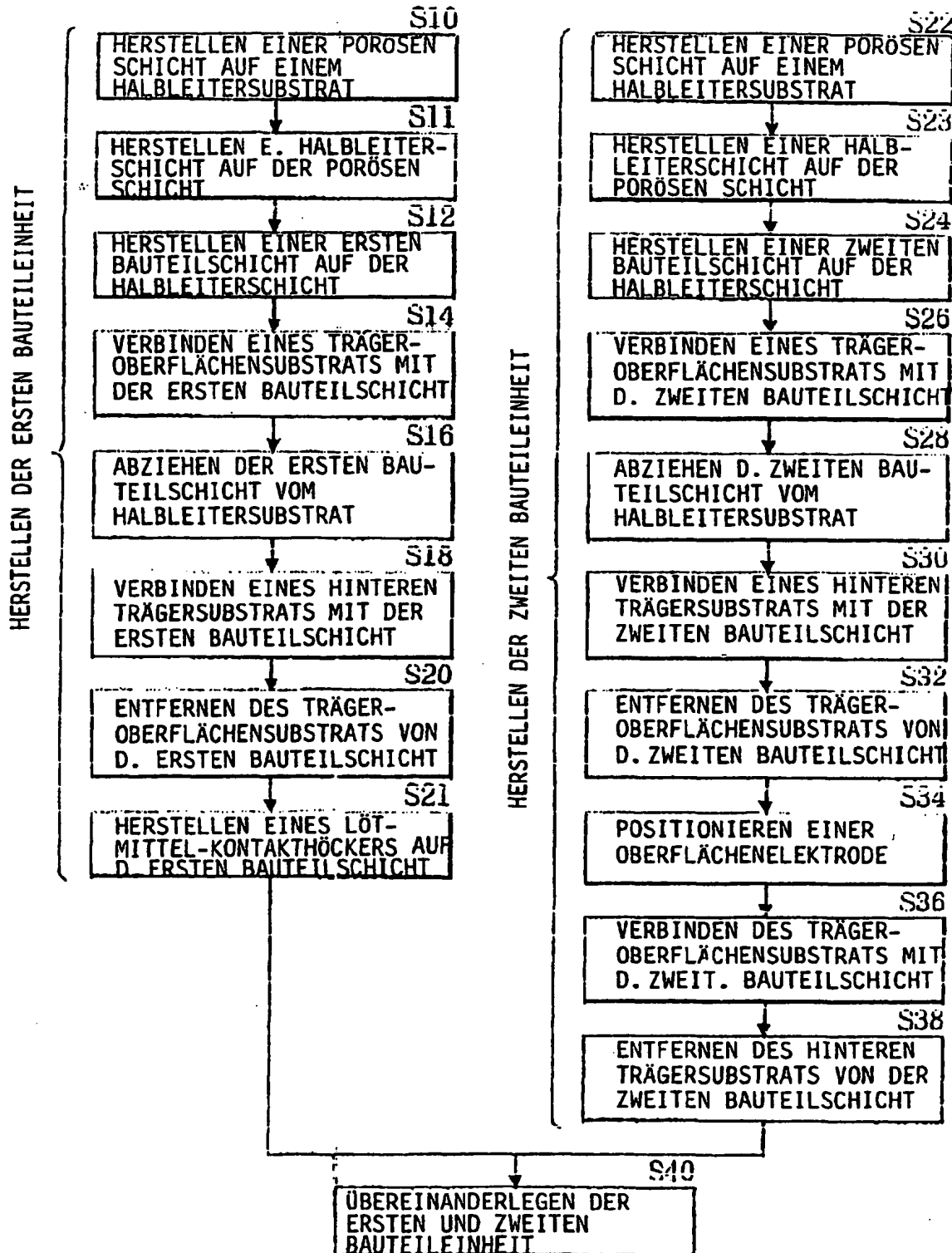


FIG.2





19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Offenlegungsschrift  
10 DE 100 49 551 A 1

51 Int. Cl.<sup>7</sup>:  
H 01 L 25/065

21 Aktenzeichen: 100 49 551.6  
22 Anmeldetag: 6. 10. 2000  
43 Offenlegungstag: 3. 5. 2001

DE 100 49 551 A 1

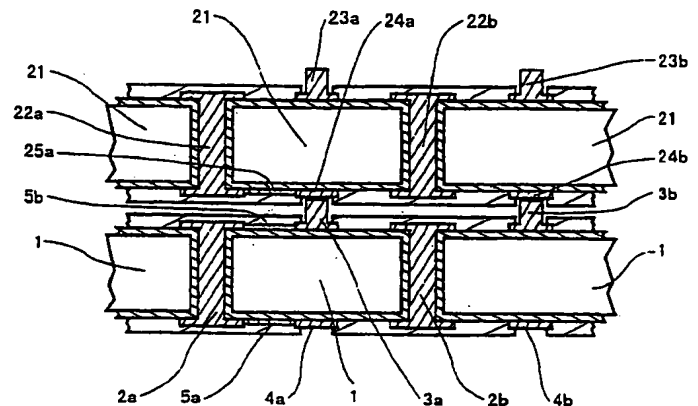
30 Unionspriorität:  
P 11-304040 26. 10. 1999 JP  
71 Anmelder:  
Sharp K.K., Osaka, JP  
74 Vertreter:  
Patentanwälte MÜLLER & HOFFMANN, 81667  
München

72 Erfinder:  
Sumikawa, Masato, Kashihara, Nara, JP; Tanaka,  
Kazumi, Sakai, Osaka, JP  
55 Für die Beurteilung der Patentfähigkeit in Betracht  
zu ziehende Druckschriften:  
DE 199 18 671 A1  
EP 09 15 516 A2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

54 Gestapeltes Halbleiterbauteil

57 Es wird ein gestapeltes Halbleiterbauteil mit mehreren aufeinander gestapelten Halbleiterchips angegeben, wobei jeder der Halbleiterchips Folgendes aufweist: eine Durchgangselektrode (2a, 2b, 22a, 22b), die von der Vorder- zur Rückseite des Halbleiterchips durchläuft; eine auf der Vorderseite ausgebildete erste Elektrode (3a, 3b, 23a, 23b); eine auf der Rückseite ausgebildete zweite Elektrode (4a, 4b, 24a, 24b) und Verdrahtungsmuster (5a, 5b, 25a), die auf der Vorder- und Rückseite ausgebildet sind, um die erste und zweite Elektrode über die Durchgangselektrode wahlfrei zu verbinden, wobei hinsichtlich zweier benachbarter, aufeinander gestapelter Halbleiterchips die erste Elektrode des unteren Halbleiterchips an die zweite Elektrode des oberen Halbleiterchips anstößt.



DE 100 49 551 A 1

Die Erfindung betrifft ein gestapeltes Halbleiterbauteil (z. B. eine dreidimensionale LSI-Schaltung). Insbesondere betrifft sie eine Struktur zum wechselseitigen mechanischen und elektrischen Verbinden stapelbarer Halbleiterchips.

Heutzutage werden komplexe Halbleiterbauteile oder Module, in denen mehrere Halbleiterchips (LSI-Chips) kombiniert sind und die unter Verwendung eines Drahtbondverfahrens mit einer Leiterplatte verbunden werden, allgemein dazu verwendet, den Forderungen nach größerer Funktionsvielfalt zu genügen.

Jedoch kann es bei einem derartigen Bauteil zu einer Verzögerung von zwischen den mehreren Halbleiterchips übertragenen Signalen abhängig von der Länge von sie verbindenden Verdrahtungen kommen, so dass nicht mit der Verbesserung der Betriebsgeschwindigkeit von Halbleiterchips Schritt gehalten werden kann.

Hinsichtlich eines derartigen Problems bietet das Verkürzen der Verdrahtungen in einem komplexen Halbleiterbauteil in möglichst weit gehender Weise eine effektive Lösung. Demgemäß wird allgemein ein Flip-Chip-Bondverfahren verwendet, bei dem Elektroden der Halbleiterchips unmittelbar mit der Leiterplatte verbunden werden, anstatt dass dies mittels eines Drahtbondverfahrens erfolgt.

Jedoch kann selbst bei einem Bauteil mit Flip-Chip-Verbindungen die Signalübertragung verzögert sein, da das Signal zwischen den Halbleiterchips über die Leiterplatte übertragen wird.

Als Lösung hinsichtlich dieses Problems ist ein Halbleiterbauteil bekannt, bei dem Halbleiterchips aufeinander gestapelt sind. Ein derartiges Bauteil ist allgemein als dreidimensionale LSI-Schaltung bekannt (siehe z. B. JP-A-5(1993)-63137).

Bei einem derartigen gestapelten Halbleiterbauteil werden die Halbleiterchips auf die folgende Weise miteinander verbunden.

Als Erstes werden im Halbleiterchip teilweise Durchgangslöcher hergestellt und in diese wird ein leitendes Material eingefüllt, um Durchgangselektroden zu bilden, die an der Vorder- und Rückseite des Halbleiterchips frei liegen. Die Durchgangselektroden bilden an ihren Endflächen Kontakthöckerelektroden (vorstehende Elektroden) oder Kontaktfleckeletroden.

Dann werden die Kontakthöcker (oder Kontaktfleck-) Elektroden eines Halbleiterchips stumpf an diejenigen eines anderen Halbleiterchips angesetzt, um die zwei Chips miteinander zu verbinden.

Jedoch leiden gestapelte Halbleiterbauteile gemäß dem Stand der Technik unter den folgenden Nachteilen:

1) Die gestapelten Halbleiterchips sind über eine Reihe von Durchgangselektroden miteinander verbunden, die aufeinander gesetzt sind, so dass durch eine Reihe von Durchgangselektroden nur ein Signal übertragen werden kann. Dies verhindert ein flexibles Design der Verdrahtung zum Verbinden der Halbleiterchips.

2) Die Elektroden der gestapelten Halbleiterchips werden entsprechend der erforderlichen Funktion nur in erforderlichen Bereichen hergestellt. Daher muss die Anordnung der Elektroden für jedes Halbleiterbauteil konzipiert werden. Dies führt zu einem schlechten Wirkungsgrad bei der Herstellung, wenn verschiedene Arten gestapelter Halbleiterbauteile herzustellen sind.

Der Erfindung liegt die Aufgabe zugrunde, ein gestapeltes Halbleiterbauteil mit verbesserter Flexibilität des De-

signs von Verdrahtungen zum Verbinden von Halbleiterchips zu schaffen.

Diese Aufgabe ist durch das Halbleiterbauteil gemäß dem beigefügten Anspruch 1 gelöst.

Beim erfindungsgemäßen Bauteil muss die Anordnung von Elektroden, die zwischen Halbleiterchips für Verbindungen sorgen, nicht für jedes Halbleiterbauteil geändert werden, da eine Durchgangselektrode und eine Kontakthöcker- oder Kontaktfleckeletrode in jedem der gestapelten Halbleiterchips gesondert hergestellt werden und die Elektroden durch ein wahlfreies Verdrahtungsmuster wahlfrei miteinander verbunden werden. Demgemäß ist der Produktionswirkungsgrad verbessert, wenn verschiedene Arten gestapelter Halbleiterbauteile hergestellt werden.

Diese und andere Aufgaben der Erfindung werden aus der nachfolgenden detaillierten, durch Figuren veranschaulichten Beschreibung besser erkennbar.

Fig. 1 ist eine perspektivische Ansicht zum Veranschaulichen eines Halbleiterchips gemäß einem Ausführungsbeispiel 1 eines erfindungsgemäßen gestapelten Halbleiterbauteils;

Fig. 2 ist eine perspektivische Ansicht des Halbleiterchips der Fig. 1 von der Rückseite her;

Fig. 3 ist eine vergrößerte Schnittansicht zum Veranschaulichen eines Hauptteils des Halbleiterchips der Fig. 1;

Fig. 4 und 5 sind Schnittansichten zum Veranschaulichen eines jeweiligen Halbleiterchips der Fig. 1, auf den ein jeweiliger Halbleiterchip mit demselben Aufbau aufgestapelt ist;

Fig. 6 ist eine perspektivische Ansicht zum Veranschaulichen eines Halbleiterchips gemäß einem Ausführungsbeispiel 2 eines erfindungsgemäßen gestapelten Halbleiterbauteils;

Fig. 7 ist eine perspektivische Ansicht des Halbleiterchips der Fig. 6 von der Rückseite her;

Fig. 8 ist eine perspektivische Ansicht zum Veranschaulichen eines Halbleiterchips gemäß einem Ausführungsbeispiel 3 eines erfindungsgemäßen gestapelten Halbleiterbauteils; und

Fig. 9 ist eine perspektivische Ansicht des Halbleiterchips der Fig. 8 von der Rückseite her.

Bei einem erfindungsgemäßen gestapelten Halbleiterbauteil kann sowohl eine erste als auch eine zweite Elektrode über mehrere Elektroden verfügen, die mit einem bestimmten Muster angeordnet sind. Genauer gesagt, kann das vorbestimmte Anordnungsmuster ein Matrixmuster sein.

Die erste Elektrode kann eine Kontakthöckerelektrode (vorstehende Elektrode) sein, und die zweite Elektrode kann eine Kontaktfleckeletrode sein.

Der bei der Erfindung verwendete Halbleiterchip kann ein LSI- oder ein IC-Chip aus einem Halbleitersubstrat aus Si, GaAs, CdTe und dergleichen sein, auf dem ein gewünschtes Leitungsmuster hergestellt wurde.

Die erste und die zweite Elektrode können aus Al, Cu, Au, Cr, In, Sn, einer Sn/Pb-Legierung, einer Sn/Ag-Legierung oder dergleichen bestehen.

Nachfolgend wird die Erfindung mittels Ausführungsbeispielen unter Bezugnahme auf die Zeichnungen detailliert erläutert. Jedoch ist die Erfindung nicht auf die Ausführungsbeispiele beschränkt. In dieser Beschreibung bedeuten "verbinden" und "Verbindung" "elektrisches Verbinden" bzw. "elektrische Verbindung".

#### Ausführungsbeispiel 1

Nun wird das Ausführungsbeispiel 1 der Erfindung unter Bezugnahme auf die Fig. 1 bis 5 beschrieben.

Wie es in den Fig. 1 bis 3 dargestellt ist, verfügt ein Halb-



leiterchip 1, der zum Aufbauen eines erfindungsgemäßen gestapelten Halbleiterbauteils (nicht dargestellt) vorgesehen ist, über eine ihn durchdringende Durchgangselektrode 2, eine Kontakthöckerelektrode (erste Elektrode) 3, die auf seiner Vorderseite vorhanden ist, eine Kontaktfleckeletrode (zweite Elektrode) 4, die auf seiner Rückseite vorhanden ist, und Verdrahtungsmuster 5a und 5b auf seiner Vorder- bzw. Rückseite zum selektiven Verbinden der Kontakthöckerelektrode 3 und der Kontaktfleckeletrode 4 über die Durchgangselektrode 2.

Durch anschließendes Aufstapeln derartiger Halbleiterchips wird die auf einem unteren Halbleiterchip ausgebildete Kontakthöckerelektrode stumpf an eine auf einem oberen Halbleiterchip ausgebildete Kontaktfleckeletrode ange-setzt. D. h., dass der untere und der obere Halbleiterchip miteinander verbunden werden.

Wie es insbesondere aus Fig. 3 erkennbar ist, sind die Kontakthöckerelektrode 3 an der Vorderseite des Halbleiterchips 1 und die Kontaktfleckeletrode 4 an der Rückseite desselben gegenüber stehend ausgebildet.

Die Durchgangselektrode 2 ist von der Kontakthöckerelektrode 3 und der Kontaktfleckeletrode 4 getrennt; sie ist nicht unmittelbar mit der Kontakthöckerelektrode 3 und der Kontaktfleckeletrode 4 sondern über die Verdrahtungsmuster 5a und 5b verbunden.

Die linke Seite in Fig. 3 zeigt die Verbindung zwischen der Kontaktfleckeletrode 4 und der Kontakthöckerelektrode 3 über die Durchgangselektrode 2, wobei das Verdrahtungsmuster 5a zwischen der Kontaktfleckeletrode 4 und der Durchgangselektrode 2 ausgebildet ist und das Verdrahtungsmuster 5b zwischen der Kontakthöckerelektrode 3 und der Durchgangselektrode 2 ausgebildet ist.

Wie es später beschrieben ist, wird abhängig vom gewünschten Design der Verdrahtungen der gestapelten Halbleiterchips festgelegt, wo die Verdrahtungsmuster 5a und 5b auszubilden sind. Daher sind die Verdrahtungsmuster 5a und 5b nicht notwendigerweise so angeordnet, wie es aus Fig. 3 erkennbar ist.

In Fig. 3 bezeichnet die Bezugszahl 6 einen Isolierfilm zum Unterbrechen einer Verbindung zwischen dem Halbleiterchip 1 und der Durchgangselektrode 2, der Kontakthöckerelektrode 3, der Kontaktfleckeletrode 4 und den Verdrahtungsmustern 5a und 5b. Die Bezugszahl 7 bezeichnet einen Schutzfilm für den Halbleiterchip 1. Dieser Schutzfilm 7 ist auf der Vorder- und der Rückseite des Halbleiterchips 1 außer in Bereichen zum Ausbilden der Kontakthöckerelektroden 3 und der Kontaktfleckeletroden 4 vorhanden, so dass diese Elektroden frei liegen.

Wie es in Fig. 1 dargestellt ist, sind die Kontakthöckerelektroden 3 in Matrixform mit einer bestimmten Schrittweite auf der Vorderseite des Halbleiterchips 1 angeordnet. Wie es in Fig. 2 dargestellt ist, sind auch die Kontaktfleckeletroden 4 in Matrixform auf der Rückseite des Halbleiterchips 1 angeordnet.

Unter Bezugnahme auf die Fig. 4 und 5 erfolgt nun eine Erläuterung dazu, wie die Halbleiterchips der Fig. 1 bis 3 aufeinander gestapelt und miteinander verbunden werden.

Wie es in Fig. 4 dargestellt ist, sind ein Halbleiterchip 1 und ein Halbleiterchip 21, die beide Elektroden derselben Konstruktion und derselben Anordnung aufweisen, aufeinander gestapelt. In diesem Fall wird ein von einer Kontaktfleckeletrode 4a des Halbleiterchips 1 eingegebenes Signal an eine Durchgangselektrode 22a des Halbleiterchips 21 übertragen.

In diesem Fall müssen die Kontaktfleckeletrode 4a und eine Kontakthöckerelektrode 3a des Halbleiterchips 1 miteinander verbunden werden. Daher werden die Kontaktfleckeletrode 4a und eine Durchgangselektrode 2a über das

Verdrahtungsmuster 5a miteinander verbunden, und die Durchgangselektrode 2a und die Kontakthöckerelektrode 3a werden über das Verdrahtungsmuster 5b miteinander verbunden.

Im auf den Halbleiterchip 1 aufgestapelten Halbleiterchip 21 ist eine an die Kontakthöckerelektrode 3a des Halbleiterchips 1 anstoßende Kontaktfleckeletrode 24a über ein Verdrahtungsmuster 25a mit der Durchgangselektrode 22a verbunden.

Die Kontakthöckerelektroden 3a und 3b des Halbleiterchips 1 sowie die Kontaktfleckeletroden 24a und 24b des Halbleiterchips 21 werden dadurch aneinander zum Anhaften gebracht, dass das Elektrodenmaterial durch Wärme aufgeschmolzen wird, dass ein Oberflächen-Sperrfilm durch externe Kräfte für Festphasendiffusion zerstört wird oder dass ein zwischen die Chips gefülltes Harz für Pressbonden gehärtet und geschrumpft wird.

Durch Aufstapeln und Verbinden in der oben beschriebenen Weise wird ein von einer Leiterplatte oder einem anderen Halbleiterchip (nicht dargestellt), der unter dem Halbleiterchip 1 liegt, in die Kontaktfleckeletrode 4a eingegebenes Signal über das Verdrahtungsmuster 5a, die Durchgangselektrode 2a, das Verdrahtungsmuster 5b, die Kontakthöckerelektrode 3a, die Kontaktfleckeletrode 24a und das Verdrahtungsmuster 25a an die Durchgangselektrode 22a des oberen Halbleiterchips 21 übertragen.

Dann wird das an die Durchgangselektrode 22a übertragene Signal über einen Schaltkreis (nicht dargestellt) an eine interne Schaltung (nicht dargestellt) des Halbleiterchips 21 übertragen.

Fig. 5 zeigt aufeinander gestapelte und verbundene Halbleiterchips, bei denen in die Kontaktfleckeletroden 4a und 4b des unteren Halbleiterchips 1 verschiedene Signale eingegeben werden.

Das Eingangssignal an der Kontaktfleckeletrode 4a wird über das Verdrahtungsmuster 5a, die Durchgangselektrode 2a, das Verdrahtungsmuster 5b, die Kontakthöckerelektrode 3a, die Kontaktfleckeletrode 24a und das Verdrahtungsmuster 25a auf ähnliche Weise wie im Fall der Fig. 4 an die Durchgangselektrode 22a des oberen Halbleiterchips 21 übertragen.

Andererseits wird das Eingangssignal an der Kontaktfleckeletrode 4b über ein Verdrahtungsmuster 5c, eine Durchgangselektrode 2b, ein Verdrahtungsmuster 5d, die Kontakthöckerelektrode 3b, die Kontaktfleckeletrode 24b, ein Verdrahtungsmuster 25c, eine Durchgangselektrode 22b und ein Verdrahtungsmuster 25d an eine Kontakthöckerelektrode 23a des oberen Halbleiterchips 21 übertragen und dann weiter an einen darauf aufgestapelten Halbleiterchip (nicht dargestellt) übertragen.

D. h., dass die Elektroden bei der Erfindung mit einem bestimmten Muster (z. B. einem Matrixmuster) angeordnet sind, und zwar unabhängig davon, ob sie zum Verbinden der Halbleiterchips verwendet werden oder nicht, und dass ein Verdrahtungsmuster nur zwischen denjenigen Elektroden hergestellt wird, die zum Verbinden der Halbleiterchips benötigt werden.

Demgemäß ist das Design der Verdrahtungen zum Verbinden der Halbleiterchips flexibler. Ferner ist keine drastische Änderung der Anordnung der die Halbleiterchips verbindenden Elektroden für jedes Halbleiterbauteil erforderlich. So ist der Herstellwirkungsgrad verbessert, wenn verschiedene Arten gestapelter Halbleiterbauteile hergestellt werden.

#### Ausführungsbeispiel 2

Nun wird das Ausführungsbeispiel 2 der Erfindung unter

Bezugnahme auf die Fig. 6 und 7 erläutert.

Wie es in Fig. 6 dargestellt ist, sind Kontakthöckerelektroden 33 an der Oberseite des Halbleiterchips 31 entlang dem Rand des Chips mit einer bestimmten Schrittweite angeordnet.

Wie es in Fig. 7 dargestellt ist, sind Kontaktfleckelektroden 34 an der Rückseite des Halbleiterchips 31, den Kontakthöckerelektroden 33 an der Vorderseite gegenüber stehend, angeordnet.

D. h., dass im Gegensatz zum in den Fig. 1 und 2 dargestellten Halbleiterchip 1 des Ausführungsbeispiels 1 mit matrixförmig angeordneten Elektroden der in den Fig. 6 und 7 dargestellte Halbleiterchip 31 Elektroden aufweist, die nur in seinem Randabschnitt ausgebildet sind. Der andere Aufbau ist derselbe wie der des Halbleiterchips 1 des Ausführungsbeispiels 1 (Fig. 3)

### Ausführungsbeispiel 3

Nun wird das Ausführungsbeispiel 3 der Erfindung unter Bezugnahme auf die Fig. 8 und 9 beschrieben.

Der in den Fig. 8 und 9 dargestellte Halbleiterchip 41 verfügt über Elektroden, die auf solche Weise angeordnet sind, dass für die Verbindung überflüssige Elektroden von den Matrixelektroden des in den Fig. 1 und 2 dargestellten Halbleiterchips 1 des Ausführungsbeispiels 1 weggelassen sind.

Der andere Aufbau ist derselbe wie der des Halbleiterchips 1 des Ausführungsbeispiels 1 (Fig. 3).

Der in den Fig. 8 und 9 dargestellte Halbleiterchip 41 verfügt über Elektroden, die so angeordnet sind, dass sie durch Stapeln mit dem Halbleiterchip 1 des Ausführungsbeispiels 1 verbunden werden können.

Wie oben angegeben, sind beim Ausführungsbeispiel 1 die Elektroden in Matrixform angeordnet, beim Ausführungsbeispiel 2 sind sie im Randabschnitt des Halbleiterchips angeordnet, und beim Ausführungsbeispiel 3 sind sie an den erforderlichen, wahlfreien Positionen angeordnet.

Wenn die oben beschriebenen Elektrodenanordnungen standardisiert werden, zeigt sich der Vorteil der Erfindung noch deutlicher. D. h., dass dann, wenn sich eine Elektroden-Standardanordnung durchsetzt, die Anordnungen von Elektroden auf verschiedenen Halbleiterchips, wie sie von verschiedenen Lieferanten erhalten werden, miteinander übereinstimmen.

Daher kann ein vorgesehene gestapeltes Halbleiterbauteil dadurch erhalten werden, dass nur gewünschte Verdrahtungen auf mehreren Halbleiterchips, die von einem anderen Lieferanten gefertigt sind, hergestellt werden und diese Chips aufeinander gestapelt werden.

Ferner können gestapelte Halbleiterbauteile mit verschiedenen Funktionen wirkungsvoll hergestellt werden, da die Kombination aufeinander zu stapelnder Halbleiterchips leicht geändert werden kann.

Gemäß der Erfindung ist das Design der Verdrahtungen zum Verbinden von Halbleiterchips flexibler und es ist keine drastische Änderung der Elektrodenanordnung für jedes Halbleiterbauteil erforderlich. So ist der Herstellwirkungsgrad verbessert, wenn verschiedene Arten gestapelter Halbleiterbauteile hergestellt werden.

### Patentansprüche

1. Gestapeltes Halbleiterbauteil mit mehreren aufeinander gestapelten Halbleiterchips (1, 21), von denen jeder Folgendes aufweist:

- eine Durchgangselektrode (2a, 2b), 22a, 22b), die von der Vorder- zur Rückseite des Halbleiterchips durchläuft;

- eine auf der Vorderseite ausgebildete erste Elektrode (3a, 3b, 23a, 23b);
- eine auf der Rückseite ausgebildete zweite Elektrode (4a, 4b, 24a, 24b) und
- Verdrahtungsmuster (5a, 5b, 25a), die auf der Vorder- und Rückseite ausgebildet sind, um die erste und zweite Elektrode über die Durchgangselektrode wahlfrei zu verbinden;
- wobei hinsichtlich zweier benachbarter, aufeinander gestapelter Halbleiterchips die erste Elektrode des unteren Halbleiterchips an die zweite Elektrode des oberen Halbleiterchips anstößt.

2. Bauteil nach Anspruch 1, dadurch gekennzeichnet, dass jeweils mehrere erste Elektroden (3) und zweite Elektroden (4) vorhanden sind, die mit einem vorbestimmten Muster angeordnet sind.

3. Bauteil nach Anspruch 2, dadurch gekennzeichnet, dass das vorbestimmte Anordnungsmuster ein Matrixmuster ist.

4. Bauteil nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die erste Elektrode (3) eine Kontakthöckerelektrode ist und die zweite Elektrode (4) eine Kontaktfleckelektrode ist.

---

Hierzu 9 Seite(n) Zeichnungen

---

- Leerseite -

Fig. 1

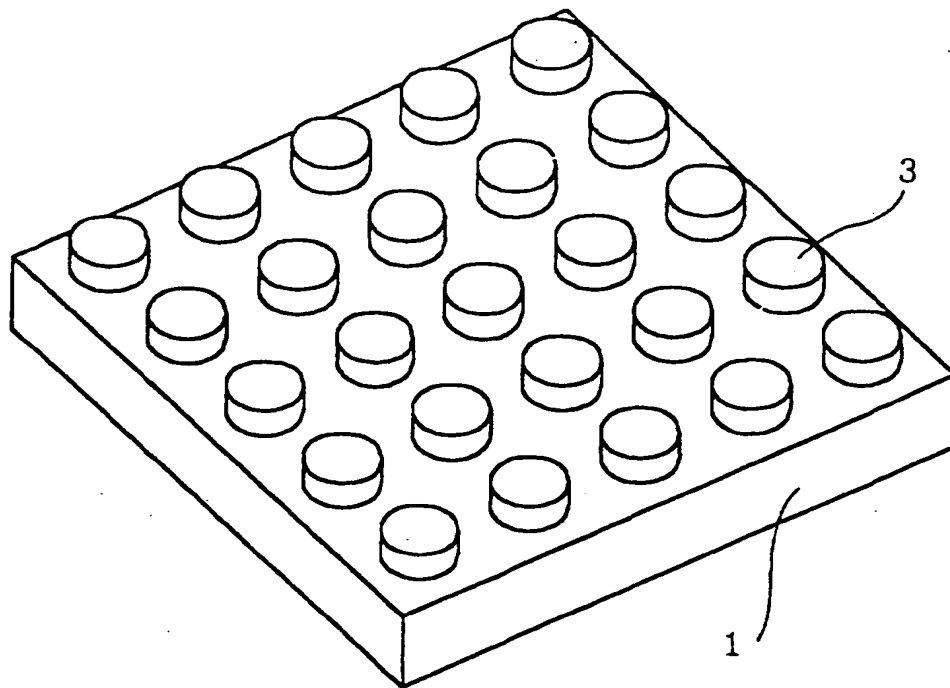
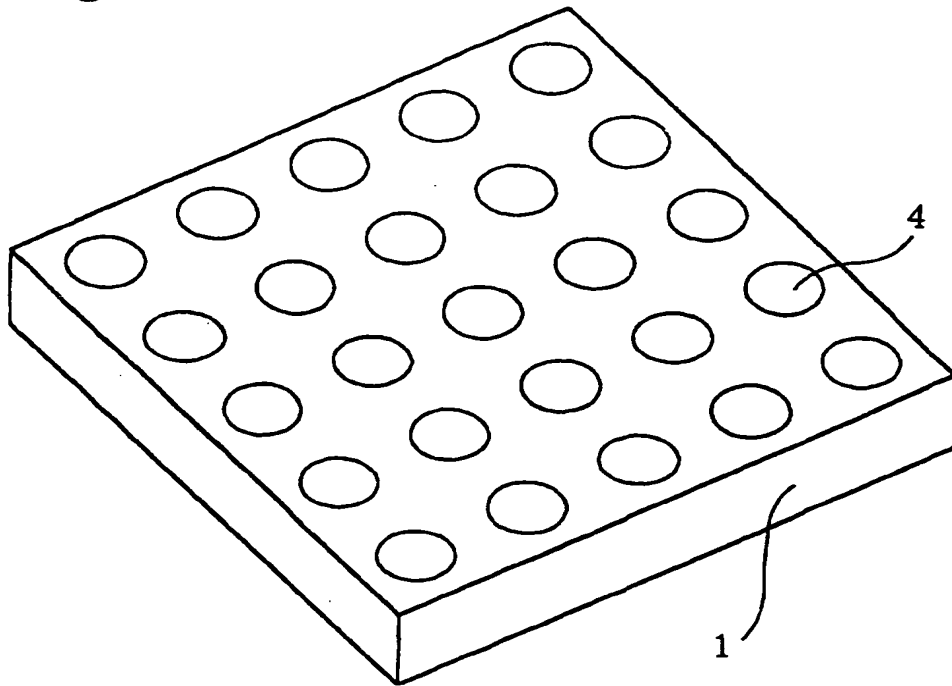


Fig. 2



**Fig. 3**

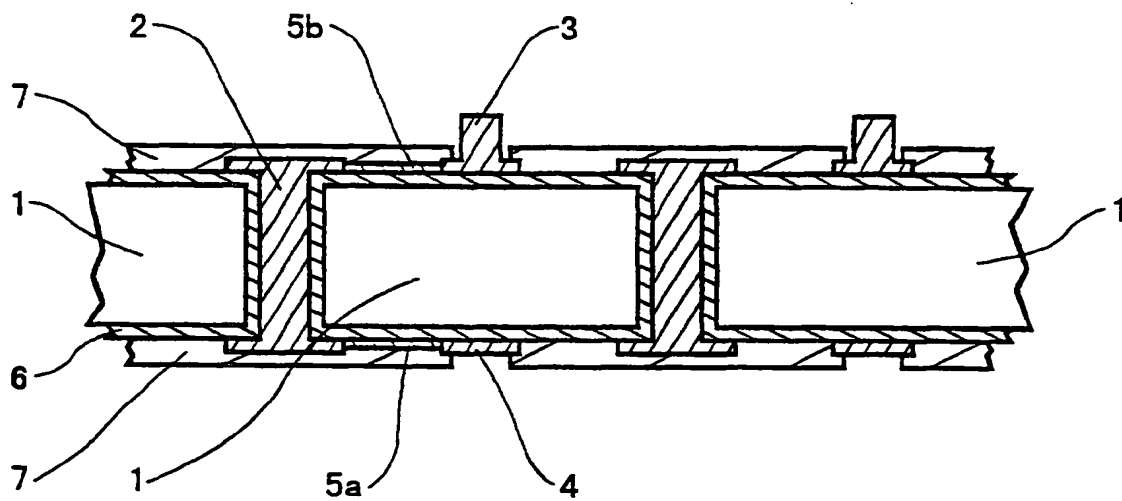


Fig. 4

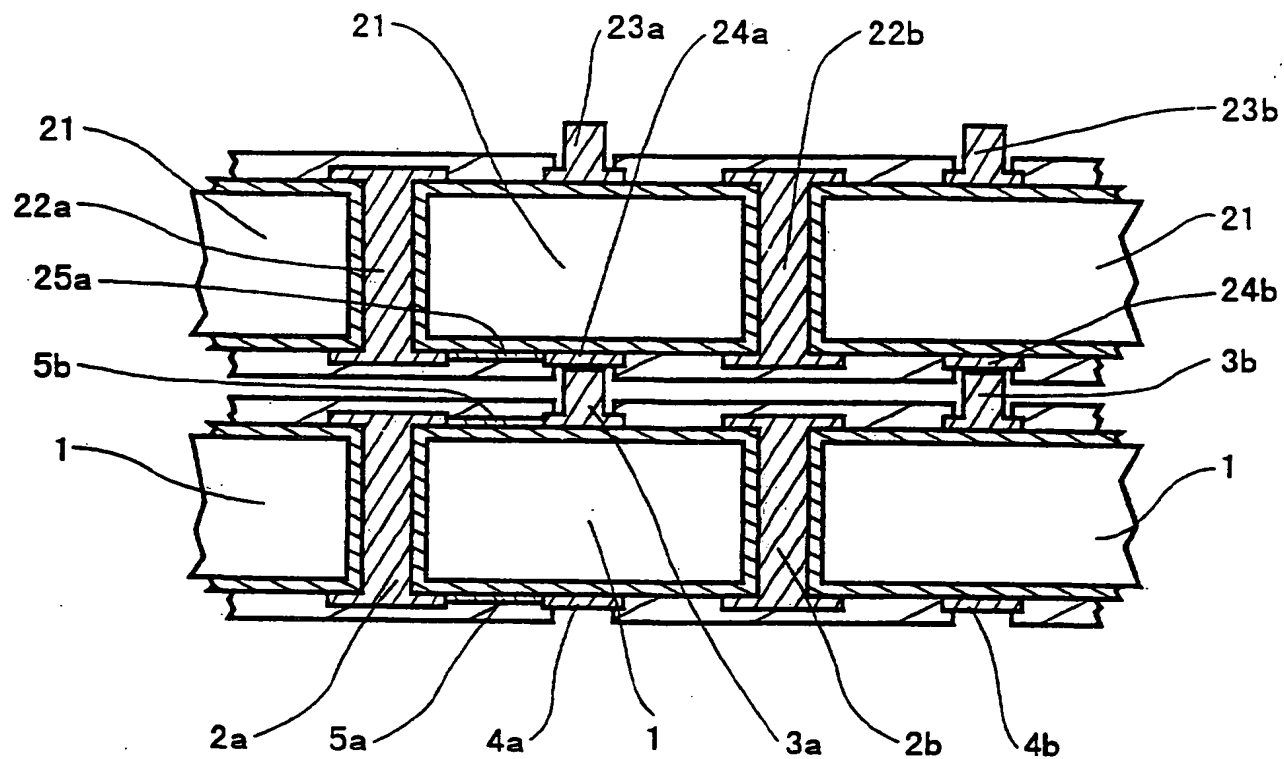


Fig. 5

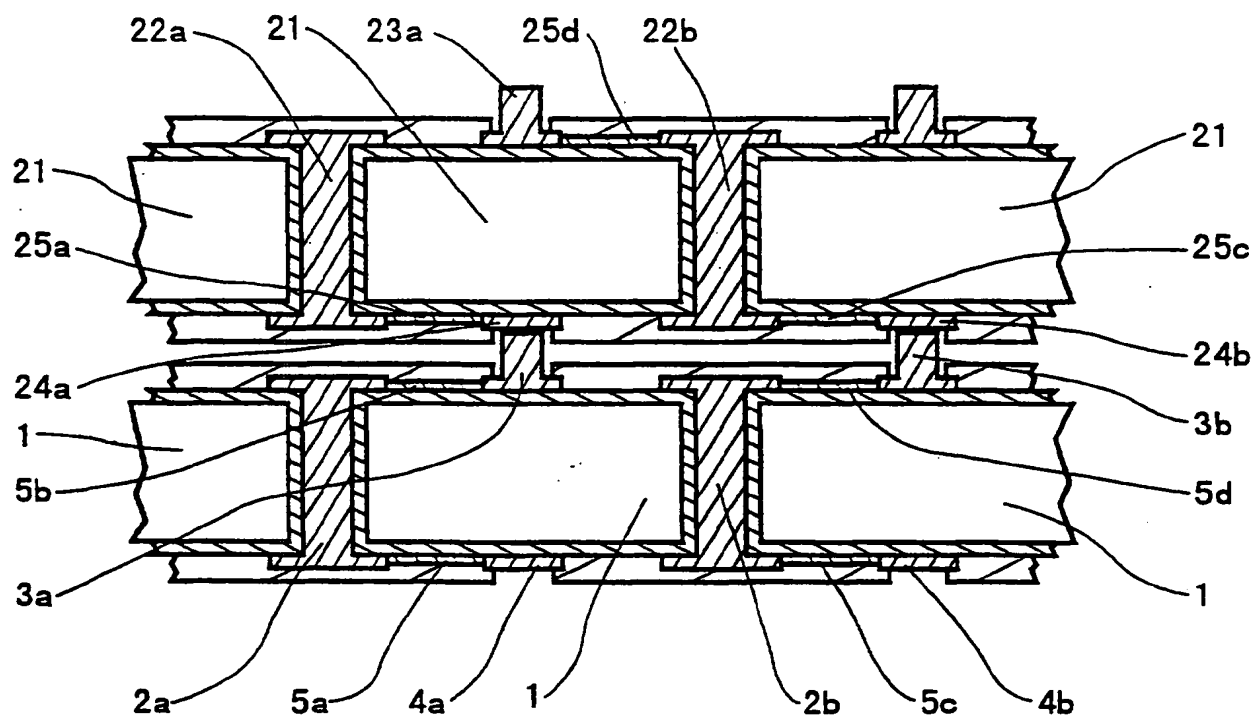




Fig. 6

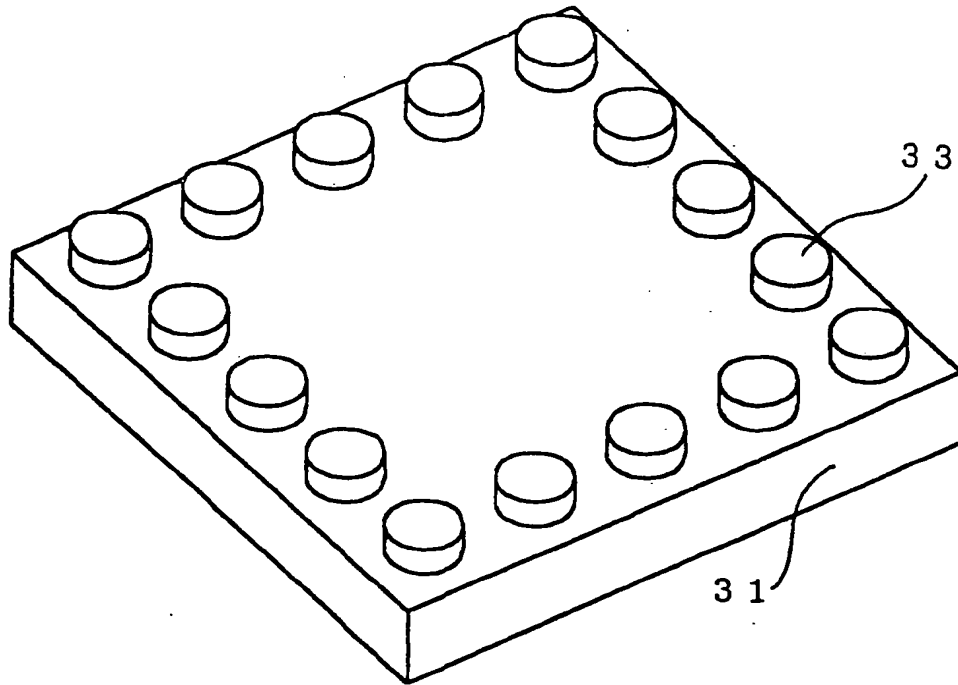
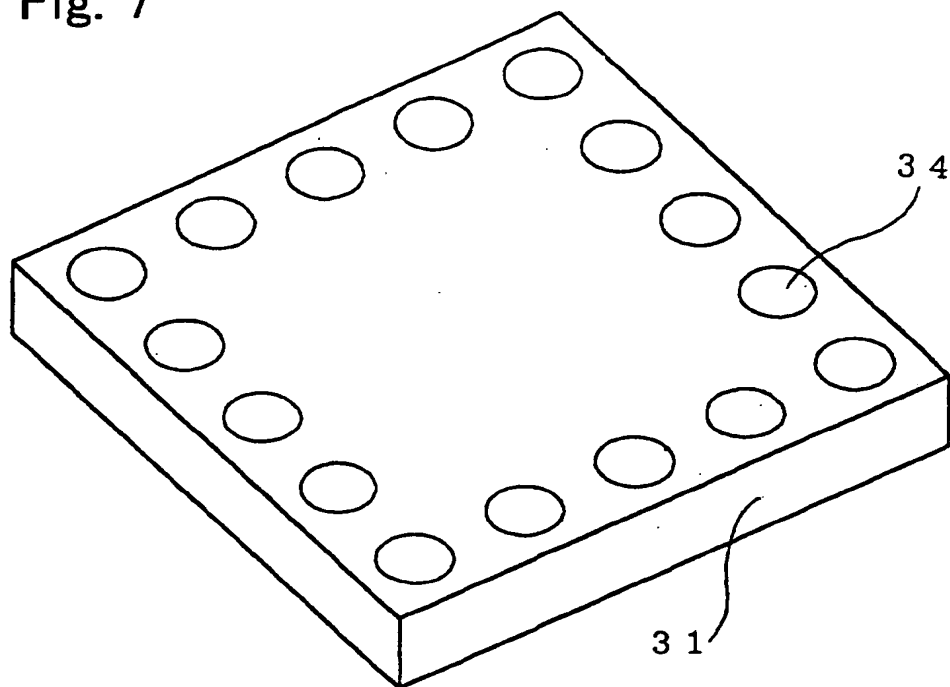


Fig. 7



**Fig. 8**

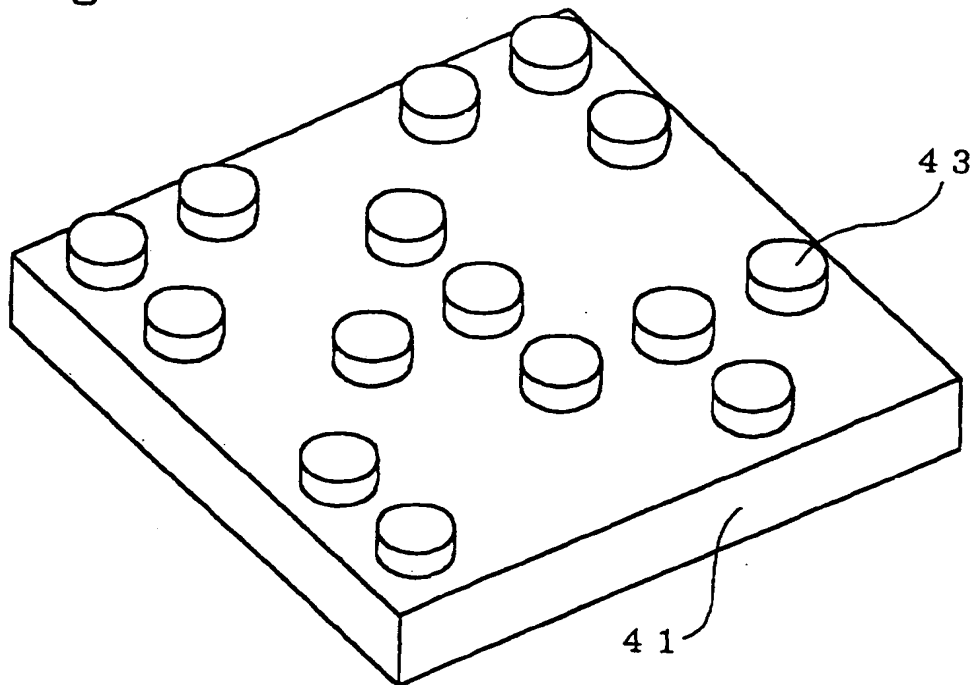


Fig. 9

